

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日

2001年12月6日 (06.12.2001)

PCT

(10) 国際公開番号

WO 01/93339 A1

- (51) 国際特許分類⁷: H01L 29/78, 29/06
- (21) 国際出願番号: PCT/JP00/08156
- (22) 国際出願日: 2000年11月20日 (20.11.2000)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2000-161598 2000年5月31日 (31.05.2000) JP
- (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府門真市大字門真1006番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 横川俊哉 (YOKOGAWA, Toshiya) [JP/JP]; 〒630-8101 奈良県奈良市青

山5-2-24 Nara (JP). 北畠 真 (KITABATAKE, Makoto) [JP/JP]; 〒631-0076 奈良県奈良市富雄北3-17-13-501 Nara (JP). 楠本 修 (KUSUMOTO, Osamu) [JP/JP]; 〒631-0003 奈良県奈良市中登美ヶ丘1-793-16-B2-201 Nara (JP). 高橋邦方 (TAKAHASHI, Kunimasa) [JP/JP]; 〒567-0845 大阪府茨木市平田1-6-29-5 Osaka (JP). 上野山雄 (UENOYAMA, Takeshi) [JP/JP]; 〒610-0311 京都府京田辺市草内鐘鉦割42-1-1-601 Kyoto (JP).

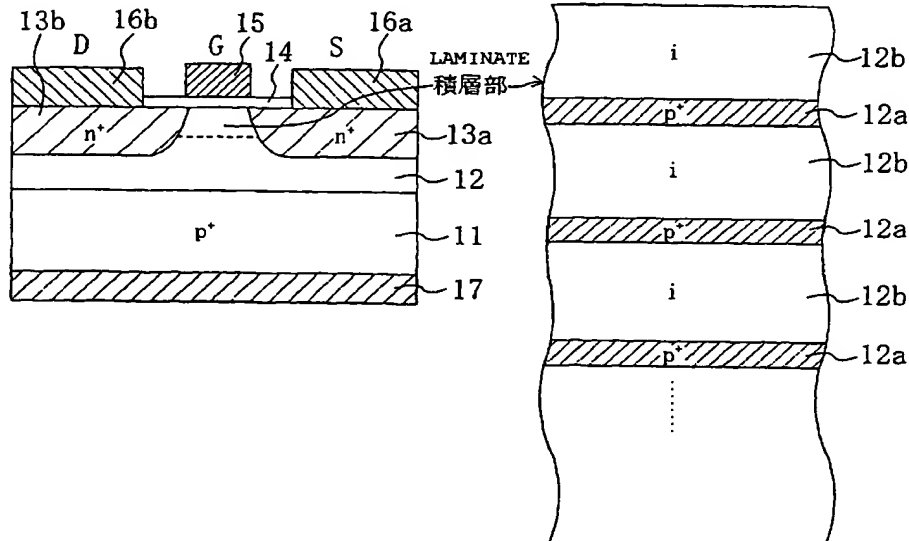
(74) 代理人: 前田 弘, 外 (MAEDA, Hiroshi et al.); 〒550-0004 大阪府大阪市西区鞠本町1丁目4番8号 太平ビル Osaka (JP).

(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CR, CU, CZ, DE, DK, DM, DZ, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL,

[続葉有]

(54) Title: MISFET

(54) 発明の名称: MISFET



(57) Abstract: A MISFET includes a p-type SiC substrate (11), on which are provided a p-type active region (12), n-type source and drain regions (13a, 13b), gate oxide (14) consisting of thermal oxide, a gate electrode (15), a source electrode (16a) and a drain electrode (16b). The active region (12) includes a laminate of heavily doped p-type layers (12a), sufficiently thin to allow quantum effects, and undoped thick layers (12b). Carrier mobility increases owing to the decreased scattering of impurity ions in the active region in the presence of moving carriers, whereas breakdown strength increases owing to the depletion in the entire active region in the off state. The channel mobility further increases because fewer charges are trapped in the gate oxide and near the interface between the gate oxide and the active region.

[続葉有]

WO 01/00000 A1



PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ,
UA, UG, US, UZ, VN, YU, ZA, ZW.

添付公開書類:
— 国際調査報告書

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

p型のSiC基板11の上に、p型の活性領域12と、n型のソース領域13a及びドレイン領域13bと、熱酸化膜からなるゲート絶縁膜14と、ゲート電極15と、ソース電極16a及びドレイン電極16bとが設けられている。活性領域12には、量子効果が生じる程度に薄い高濃度のp型ドーブ層12aと厚めのアンドーブ層12bとが交互に積層されている。キャリア走行時には活性領域の不純物イオン散乱の低減によりチャネル移動度が向上し、オフ状態では活性領域全体の空乏化により耐圧が向上する。また、ゲート絶縁膜中やゲート絶縁膜－活性領域間の界面付近にトラップされる電荷の低減により、チャネル移動度がさらに向上する。

明 細 書

M I S F E T

技術分野

本発明は、化合物半導体層を利用して形成されるM I S F E Tに係り、特に、高耐圧、大電流用に使用するために適したM I S F E Tに関する。

背景技術

炭化珪素（シリコンカーバイド、S i C）は、珪素（S i）に比べてバンドギャップが大きい半導体であることから高電圧に耐え、かつ、融点も高い。このような特性から、炭化珪素は、次世代のパワーデバイスや高周波デバイス、高温動作デバイス等の応用が期待されている半導体材料である。また、炭化珪素の結晶構造は、立方晶系の3 C - S i Cや六方晶系の6 H - S i C、4 H - S i C等の多種の構造をとりうることが知られている。

図12は、従来の炭化珪素を用いたnチャネル型のM O S（Metal Oxide Semiconductor）- F E T（電界効果型トランジスタ）の概略的な構造を示す断面図である。同図に示すように、濃度 $1 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ のアルミニウム（p型不純物）がドーピングされたp型のS i C基板101の上には、エピタキシャル成長法により形成され、濃度 $5 \times 10^{16} \text{ cm}^{-3}$ のアルミニウム（p型不純物）を含むp型のチャネルドーピングS i C層102と、チャネルドーピングS i C層102内に濃度 $1 \times 10^{18} \text{ cm}^{-3}$ の窒素（n型不純物）をドーピングして形成されたn型のソース領域103a及びドレイン領域103bと、チャネルドーピングS i C層102の上に形成されたS i O₂からなるゲート絶縁膜104と、ゲート絶縁膜104の上に形成されたN i合金膜からなるゲート電極105と、ソース領域103a及びドレイン領域103bにそれぞれオーミックコンタクトするN i合金膜からなるソース電極106a及びドレイン電極106bと、S i C基板101の裏面にオーミックコンタクトするN i合金膜からなる裏面電極107とを備えている。

この構造において、ソース電極106aとドレイン電極106bとの間に一定

の電圧を加え、ゲート電極 105 に電圧（ゲート電圧）を印加することにより、ゲート電圧に応じて、ソース領域 103a - ドレイン領域 103b 間の電流が変動され、スイッチング動作が得られる。特に、SiC 基板上に形成された MOSFET は、Si 基板上に形成される MOSFET に比べて高耐圧特性を有し、大電流を流せるパワーデバイスとしての価値が高いとともに、高周波用のデバイスとしても期待されている。

解決課題

ところで、SiC 基板上に高速動作するパワーデバイスを設ける場合、その用途について、さらなるチャネル移動度の向上と耐圧の向上とが要望されている。これらは、SiC だけでなく、GaAs, GaN, SiGe, SiGeC など、化合物半導体層を活性領域として用いた半導体装置全般について、産業界から継続して要求される課題となっている。

加えて、上記従来の MOSFET には、化合物半導体層を有する半導体装置に特有の不具合もあった。すなわち、上記従来の n チャネル型 MOSFET におけるゲート絶縁膜 104 - チャネルドープ SiC 層 102 間の界面には、多くの界面準位や電荷が存在し、これらが理想 MOS デバイス特性に悪影響を及ぼす。一般に、Si 基板上に形成される MOSFET におけるゲート絶縁膜は、Si 基板の熱酸化によって形成される SiO₂ 膜（熱酸化膜）を用いている。この熱酸化膜の場合、Si 基板表面の Si 原子のダングリングボンドが存在するために、どうしてもある程度の界面準位が存在するが、その界面準位の密度は約 10^{10} 個程度であることが知られている。

一方、SiC 層の表面を熱酸化しても、SiO₂ 膜（熱酸化膜）が形成されるが、SiC 層とその上の SiO₂ 膜との間の界面には、 10^{12} 個程度の界面準位や固定電荷が存在することが知られている。すなわち、Si 基板上におけるよりも 2 桁程度多い界面準位や固定電荷が存在することになる。その原因は、SiC 層の表面上においては、本来熱酸化の際に除去されるべき炭素などが不純物として残留することや、熱酸化される SiC 層中のキャリア用不純物（n 型、又は p 型不純物）が熱酸化膜中に取り込まれることにあると考えられている。

図13は、従来のnチャネル型MOSFETにおけるキャリア走行時、つまり、反転状態のときのゲート電極105、ゲート絶縁膜104及びチャネルドープSiC層102におけるエネルギーバンド図である。図13に示すように、従来のnチャネル型MOSFETにおいては、ゲート絶縁膜104中において、高密度の界面準位や固定電荷にトラップされた正の電荷によって、MOSFETのしきい値電圧などが変動するとともに、チャネルを走行するキャリア（電子）が電荷との相互作用による影響を受けて、チャネル移動度の低下や、相互コンダクタンス、高周波応答性などのデバイス特性の劣化が生じることになる。同様に、pチャネル型MOSFETにおいては、ゲート絶縁膜中に負の電荷がトラップされ、デバイス特性が劣化するという不具合がみられた。

また、SiC基板を用いたデバイスだけでなく、GaAs、GaNなどの化合物半導体基板を用いたデバイスにも同様の不具合が存在する。化合物半導体の場合、構成元素が単一でないことも一因となっていると考えられるが、現在のところ、化合物半導体基板の表面に形成した酸化膜をゲート絶縁膜として用いても、デバイスとして実用化しうるような特性を得ることは困難である。また、MOSFETだけでなく、酸窒化膜、窒化膜、他の金属酸化膜（例えばタンタル酸化膜など）をゲート絶縁膜として用いた場合にも、正又は負の電荷のトラップによって同様の不具合が生じるおそれがある。

発明の開示

本発明の目的は、化合物半導体基板の上に設けられるMISFET構造を有する半導体デバイスにおいて、高速動作性と高耐圧性とを確保すると共に、ゲート絶縁膜－チャネル領域間の界面準位や固定電荷の存在に起因するトランジスタ特性への悪影響を回避するための手段を講ずることにより、電氣的諸特性の優れた半導体デバイスの提供を図ることにある。

本発明の第1のMISFETは、基板上に設けられた化合物半導体層と、上記化合物半導体層内に互いに離間して設けられ各々第1導電型不純物を含む2つの高濃度ドープ層と、上記2つの高濃度ドープ層に挟まれて設けられ第2導電型不純物を含む活性領域と、上記活性領域の上に設けられたゲート絶縁膜と、上記ゲ

ート絶縁膜の上に設けられたゲート電極とを備え、上記活性領域は、キャリア走行領域として機能する少なくとも1つの第1の半導体層と、高濃度のキャリア用不純物を含み上記第1の半導体層よりも膜厚が薄く量子効果によるキャリアの分布が可能な少なくとも1つの第2の半導体層とを交互に積層して構成され、上記活性領域のうち上記ゲート絶縁膜と接する領域は上記第1の半導体層によって占められている。

この構造により、第1の半導体層における不純物濃度が低いことから、第1の半導体層における不純物イオン散乱は少なくなるために、特に高いチャネル移動度が得られる。一方、第1の半導体層の不純物濃度が低いことから、ゲート絶縁膜中やゲート絶縁膜－活性領域間の界面付近にトラップされる第2導電型の電荷の数も低減され、電荷によるキャリアの走行への妨害作用が小さくなる。また、量子効果によってキャリアが広がったときには、第2の半導体層内の不純物に第1導電型の電荷がトラップされるので、ゲート絶縁膜中やゲート絶縁膜－活性領域間の界面付近にトラップされた第2導電型の電荷によるキャリアの走行への作用を補償することが可能になる。したがって、チャネル移動度をより一層高めることが可能になる。

しかも、活性領域における平均的な不純物濃度が高いにも拘わらず、オフ状態では活性領域全体が空乏化され、活性領域にはキャリアが存在しなくなるので、不純物濃度の低い第1の半導体層によって耐圧が規定され、活性領域全体において高い耐圧値が得られることになる。

上記基板を上記化合物半導体層と一体的に設け、上記化合物半導体層を掘り込んでなるトレンチをさらに備えた場合には、上記ゲート絶縁膜及び上記ゲート電極は上記トレンチの底面及び側面を覆うように形成しておいて、上記2つの高濃度ドープ層のうち一方を上記化合物半導体層の上面部に設け、他方を上記化合物半導体層の裏面部に設けることにより、上述の活性領域の機能を利用して、小面積で、低消費電流、低電圧駆動、高利得という特性を有する縦型パワーMISFETを得ることができる。

本発明の第2のMISFETは、基板上に設けられた化合物半導体層と、上記化合物半導体層の上に設けられたゲート絶縁膜と、上記化合物半導体層内で互い

に離間して設けられ各々第1導電型不純物を含む2つの高濃度ドープ層と、上記化合物半導体層内で上記2つの高濃度ドープ層に挟まれて設けられ第1導電型不純物を含むキャリア走行領域として機能する第1の活性領域と、上記ゲート絶縁膜の上に設けられたゲート電極とを備え、上記第1の活性領域は、少なくとも1つの第1の半導体層と、上記第1の半導体層よりも高濃度のキャリア用不純物を含み上記第1の半導体層よりも膜厚が薄く量子効果による上記第1の半導体層へのキャリアの浸みだしが可能な少なくとも1つの第2の半導体層とを積層して構成されている。

この構造により、第1の活性領域においては、量子効果によって第2の半導体層に量子準位が生じ、第2の半導体層中の局在するキャリアの波動関数はある程度の広がりを持つようになる。その結果、キャリアが第2の半導体層だけでなく第1の半導体層にも存在するような分布状態となる。この状態で、活性領域のポテンシャルが高められ、量子効果によって第2の半導体層から第1の半導体層にキャリアが広がった状態になると、第1，第2の半導体層に絶えずキャリアが供給される。そして、キャリアが不純物濃度の低い第1の半導体層を流れるので、不純物イオン散乱の低減により、高いチャネル移動度が得られる。一方、オフ状態では第1の活性領域全体が空乏化され、第1の活性領域にはキャリアが存在しなくなるので、不純物濃度の低い第1の半導体層によって耐圧が規定され、第1の活性領域全体において高い耐圧値が得られることになる。よって、第1導電型の第1の活性領域を利用して第1，第2の高濃度ドープ層間に大電流を流すように構成されたACCUFETとして機能するMISFETにおいて、高いチャネル移動度と、高い耐圧とを同時に実現することが可能になる。

上記第1の活性領域のうち上記ゲート絶縁膜と接する領域が上記第1の半導体層によって占められていることにより、第1の半導体層を熱酸化して形成されるゲート絶縁膜中に取り込まれる不純物の濃度も低くなるので、ゲート絶縁膜中にトラップされる第2導電型の電荷の数も低減され、電荷によるキャリアの走行への妨害作用が小さくなる。

上記第1の活性領域と上記ゲート絶縁膜との間の領域、及び上記第1の活性領域を挟んで上記ゲート絶縁膜と対向する領域のうち少なくともいずれか一方の領

域に設けられ、第2導電型不純物を含む第2の活性領域をさらに設けることにより、チャンネル下方における耐圧をより高めることが可能になる。

上記第2の活性領域が、複数の第1の半導体層と、上記第1の半導体層よりも高濃度のキャリア用不純物を含み上記第1の半導体層よりも膜厚が薄く量子効果によるキャリアの分布が可能な少なくとも1つの第2の半導体層とを積層して構成されていることにより、オフ状態においては第2の活性領域全体に空乏層が広がることで、耐圧がさらに向上する。

上記基板を、上記化合物半導体層と一体的に設け、上記化合物半導体層を掘り込んでなるトレンチをさらに備え、上記ゲート絶縁膜及び上記ゲート電極を上記トレンチの底面及び側面を覆うように形成しておき、上記2つの高濃度ドープ層のうち一方を上記化合物半導体層の上面部に設け、他方を上記化合物半導体層の裏面部に設けることにより、上述の第1、第2の活性領域の機能を利用して、小面積で、低消費電流、低電圧駆動、高利得という特性を有する縦型パワーMISFETを得ることができる。

上記第2の半導体層がSiC層である場合には、上記第2の半導体層の厚みは、1モノレイヤー以上で20nm未満であることが好ましい。

上記第1の半導体層がSiC層である場合には、上記第1の半導体層の厚みは、約10nm以上で約100nm以下であることが好ましい。

図面の簡単な説明

図1は、第1の実施形態のnチャネル型MOSFETの概略的な構造を示す断面図である。

図2(a)、(b)は、第1の実施形態における基本構造を有する活性領域の深さ方向におけるアルミニウムの濃度プロファイルとキャリア分布との関係を模式的に示す図、及び活性領域の深さ方向に沿った価電子帯端の形状を示す部分バンド図である。

図3は、第1の実施形態のnチャネル型MOSFETにおける反転状態のときのゲート電極、ゲート絶縁膜及び活性領域におけるエネルギーバンド図である。

図4(a)～(d)は、第1の実施形態におけるnチャネル型MOSFETの製造工程を示す断面図である。

図5 (a), (b) は、第1の実施形態の第1の変形例における活性領域の深さ方向における窒素の濃度プロファイルとキャリア分布との関係を模式的に示す図、及び活性領域の深さ方向に沿った伝導帯端の形状を示す部分バンド図である。

図6 は、第1の実施形態の変形例におけるpチャネル型MOSFETの反転状態時におけるエネルギーバンド構造を示すバンド図である。

図7 は、第2の実施形態におけるACCUFETの構造を示す断面図である。

図8 は、第2の実施形態の第1の変形例におけるACCUFETの構造を示す断面図である。

図9 (a), (b) は、第3の実施形態における縦型パワーMOSFETの平面図及び断面図である。

図10 (a) ~ (c) は、第3の実施形態の縦型MOSFETの製造工程のうち δ ドープ層とアンドープ層との積層膜からなる活性領域を形成するまでの工程を示す断面図である。

図11 (a) ~ (c) は、第3の実施形態の縦型MOSFETの製造工程のうち δ ドープ層とアンドープ層との積層膜からなる活性領域を形成した後の工程を示す断面図である。

図12 は、従来の炭化珪素 (SiC) を用いたnチャネル型MOSFETの構造を示す断面図である。

図13 は、従来のnチャネル型MOSFETにおける反転状態のときのゲート電極、ゲート絶縁膜及びチャネルドープSiC層におけるエネルギーバンド図である。

図14 は、第1の実験例において形成された活性領域の深さ方向のドーパント濃度分布を示す図である。

図15 は、第1の実験例におけるショットキーダイオードについてのC-V法による不純物濃度測定を行なった結果を示す図である。

図16 は、第1の実験例に係る6H-SiC基板中の δ ドープ層のバンド端フォトルミネッセンススペクトルの測定結果を示す図である。

図17 (a), (b) は、それぞれ順に、第1の実験例における6H-SiC

層の電子移動度の温度依存性と電子濃度の温度依存性を示すデータである。

図 18 は、第 1 の実験例におけるサンプル A、B における電子移動度の温度依存性を示すデータである。

図 19 (a), (b) は、第 1 の実験例におけるサンプル A における伝導帯端のバンド構造をシミュレーションした結果を示す図、及びキャリア濃度分布をシミュレーションした結果を示す図である。

図 20 (a), (b) は、第 1 の実験例におけるサンプル B における伝導帯端のバンド構造をシミュレーションした結果を示す図、及びキャリア濃度分布をシミュレーションした結果を示す図である。

図 21 は、第 2 の実験例における ACCU FET の断面図である。

図 22 は、第 2 の実験例で作成した ACCU FET の I-V 特性を示す図である。

図 23 は、図 22 のデータに基づく計算によって得られた、実効チャネル移動度のゲート電圧依存性を示す図である。

最良の実施形態

－ 第 1 の実施形態 －

まず、量子効果が発現するほど急峻な濃度プロファイルをもった δ ドープ層とアンドープ層（低濃度ドープ層）とを積層した構造を n チャネル型 MOSFET に応用した例である第 1 の実施形態について説明する。

図 1 は、本実施形態の n チャネル型 MOSFET の概略的な構造を示す断面図である。同図に示すように、濃度 $1 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ のアルミニウム（p 型不純物）がドープされた p 型の SiC 基板 11 の上には、アルミニウムがドープされた p 型の活性領域 12 と、活性領域 12 の一部に濃度 $1 \times 10^{18} \text{ cm}^{-3}$ の窒素を注入して形成された n 型のソース領域 13a 及びドレイン領域 13b と、活性領域 12 の上に形成された SiO₂ からなるゲート絶縁膜 14 と、ゲート絶縁膜 14 の上に形成された Ni 合金膜からなるゲート電極 15 と、ソース領域 13a 及びドレイン領域 13b にそれぞれオーミックコンタクトする Ni 合金膜からなるソース電極 16a 及びドレイン電極 16b と、SiC 基板 11 の裏面にオ

オーミックコンタクトするNi合金膜からなる裏面電極17とを備えている。なお、SiC基板11には、裏面電極17とのオーミックコンタクトを実現しやすくするために高濃度のp型不純物がドーピングされているが、このp型不純物はSiC基板11全体にドーピングする必要はなく、SiC基板11の下端部のみにドーピングされていてもよい。あるいは、SiC基板11に低濃度のp型不純物がドーピングされていてもよい。さらに、裏面電極17を必ずしも設ける必要はないので、裏面電極がない場合には、SiC基板全体がアンドープ層であってもよい。

ここで、本実施形態の特徴は、図1の右方に拡大して示すように、活性領域12の下部は、厚みが約1500nmのアンドープ層であり、活性領域の上部は、高濃度（例えば $1 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ ）のアルミニウムを含む厚みが約10nmのp型ドーピング層12aと、アンドープの6H-SiC単結晶からなる厚み約50nmのアンドープ層12bとを交互に各々5層ずつ積層してなる積層部である点である。そして、積層部中のp型ドーピング層12aは、量子効果によるアンドープ層12bへのキャリアの浸みだしが可能な程度に薄く形成されていることから、以下のような特殊な効果を発揮することができる。

図2(a)、(b)は、本実施形態における基本構造を有する活性領域12中の積層部の深さ方向におけるp型不純物であるアルミニウムの濃度プロファイルとキャリア分布との関係を模式的に示す図、及び活性領域12中の積層部の深さ方向に沿った価電子帯端の形状を示す部分バンド図である。ここでは、例えば、アンドープ層12b（低濃度ドーピング層）におけるアルミニウムの濃度を $5 \times 10^{15} \text{ atoms} \cdot \text{cm}^{-3}$ とし、p型ドーピング層12a（高濃度ドーピング層）のアルミニウムの濃度を $1 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ とした場合について作成したモデルである。

ここで、p型ドーピング層12aの不純物濃度プロファイルを図2(a)に示すようにアンドープ層12bの下地に対してほぼ δ 関数的な形状であるとする。つまり、p型ドーピング層12aをいわゆる δ ドーピング層としている。また、図2(b)に示すように、活性領域12全体の価電子帯端は、図中破線で示すp型ドーピング層12aの価電子帯端とアンドープ層12bの価電子帯端とを接続する形状になる。なお、p型ドーピング層12aの不純物濃度は、その価電子帯端がフェルミレベル E_F よりも上方になる程度に濃くするのが好ましいが、p型ドーピング層12aの不純

物濃度は必ずしもそれほど濃くなくてもよい。

図 2 (a) に示すように、本実施形態の活性領域 1 2 中の積層部においては、p 型ドーブ層 1 2 a の厚みが 1 0 n m 程度と薄いことから、p 型ドーブ層 1 2 a において量子効果に起因した量子準位が生じ、量子井戸である p 型ドーブ層 1 2 a 中に局在するホールの波動関数はある程度の広がりを持つようになる。つまり、図中破線で表されるように、ホールが p 型ドーブ層 1 2 a だけでなくアンドーブ層 1 2 b にも存在するような分布状態となる。その結果、p 型ドーブ層 1 2 a 中の不純物には負の電荷がトラップされる。

一方、ゲート電極 1 5 にほとんど電圧が印加されない状態つまりオフ状態において、ソース領域 1 3 a とドレイン領域 1 3 b との間に電圧が印加された場合を考える。このとき、ドレイン領域 1 3 a と活性領域 1 2 中の積層部との間に空乏層が広がるが、本実施形態の n チャネル型 MOSFET では、p 型ドーブ層 1 2 a の厚みが極めて薄いことから、活性領域 1 2 中の積層部全体の空乏層幅はアンドーブ層 1 2 b の不純物濃度に依存して決定され则认为てよい。つまり、一般に不純物濃度が低いほど伝導帯端の傾斜が緩やかになり空乏層幅は当然広くなるので、アンドーブ層 1 2 b から広がった空乏層が狭い p 型ドーブ層 1 2 a を両側から浸食する状態となる結果、活性領域 1 2 中の積層部全体が空乏化されることになる。よって、本実施形態の MOSFET においては、ソース・ドレイン間の電圧に対して大きな耐圧値が得られる。

図 3 は、本実施形態の n チャネル型 MOSFET におけるゲート電極 1 5 に正の電圧 V が印加されて、キャリアが走行する時、つまり、反転状態のときのゲート電極 1 5、ゲート絶縁膜 1 4 及び活性領域 1 2 におけるエネルギーバンド図である。

図 3 に示す反転状態においては、印加電圧 V に対応するポテンシャル eV によって下方に曲げられた伝導帯端の端部に電子が集まり、この電子がソース領域 1 3 a とドレイン領域 1 3 b との間の電位差に応じ、活性領域 1 2 のチャネル層となる部分を走行することになる。そのとき、キャリア（ここでは電子）の濃度はゲート絶縁膜 1 4 の直下において高濃度で下方に向かうほど低濃度になるように分布するので（図 3 参照）、實際上、ゲート絶縁膜 1 4 直下の領域であるアンド

ープ層 1 2 b がほぼチャネル層の大部分を占めることになる。ところが、アンドープ層 1 2 b にはほとんど不純物がドーピングされていないので、アンドープ層 1 2 b を走行するキャリア（電子）に対する不純物イオン散乱は少なくなる。つまり、活性領域 1 2 におけるキャリアの走行を妨げる不純物イオン散乱が少なくなることで、高いチャネル移動度が得られる。

また、M O S F E T のゲート絶縁膜はほとんどの場合、基板の熱処理によって形成される酸化膜であることから、アンドープ層 1 2 b を熱酸化して形成されたゲート絶縁膜 1 4 中にトラップされる電荷は少ないと考えられる。例えば、p 型の S i C 層の上に熱酸化膜を形成した場合には、p 型 S i C 層中に存在する p 型不純物（例えば A l , B など）が酸化膜中に取り込まれることで、酸化膜中には正の固定電荷が生じる。一方、n 型 S i C 層の上に熱酸化膜を形成した場合には、n 型 S i C 層中に存在する n 型不純物（例えば N , P など）が酸化膜中に取り込まれることで、酸化膜中には負の固定電荷が生じる。ところが、本実施形態の活性領域のような構造を有する場合には、チャネル層の大部分を占めるアンドープ層 1 2 b には、通常の M O S F E T においてしきい値制御のために必要な不純物濃度よりも低い不純物濃度しか含んでいなくてもしきい値を適正に制御しうる。その結果、熱酸化の際にゲート絶縁膜 1 4 中に取り込まれる不純物（本実施形態では p 型不純物である A l ）の濃度は低いので、熱酸化膜であるゲート絶縁膜 1 4 中に生じる正の固定電荷の数が、従来の M O S F E T に比べて低減される。また、ゲート絶縁膜 1 4 の直下にあるアンドープ層 1 2 b との間の界面付近の領域に存在する界面準位にトラップされる電荷（この場合には正の電荷）も、通常の M O S F E T のようにしきい値制御のためにある程度高い不純物濃度を有する場合に比べて低減する。

しかも、図 2 (a) に示すように、p 型ドーピング層 1 2 a 中の不純物に負の電荷がトラップされると、M O S F E T の動作状態では主として不純物イオン散乱の少ないアンドープ層 1 2 b を電子が走行することになる。その結果、図 3 に示すように、活性領域 1 2 の積層部中に滞留する負の電荷がゲート絶縁膜中の正の固定電荷や、ゲート絶縁膜－活性領域間の界面付近にトラップされている正の電荷による電界を打ち消すように作用する。つまり、p 型ドーピング層 1 2 a 中の不純物

(本実施形態ではアルミニウム原子)にトラップされた電荷によって、ゲート絶縁膜中やゲート絶縁膜－活性領域間の界面付近にトラップされている電荷の作用が補償されて、キャリアの走行を妨げる作用を抑制することによっても、チャネル移動度が向上する。

なお、チャネル層がn型不純物を含むpチャネル型MOSFETにおいては、高濃度ドープ層(δ ドープ層)中の不純物にトラップされた正の電荷によって、ゲート絶縁膜中や、ゲート絶縁膜－活性領域間の界面付近にトラップされる負の電荷の作用を補償することができる。

そして、上述のような作用によるチャネル移動度の向上効果と耐圧の向上効果とによって、高耐圧で低オン抵抗，大電流容量，高相互コンダクタンスが実現でき、低消費電力，高利得という特長をもったMOSFETを形成することが可能となる。また、本実施形態により、チャネル移動度の向上によって高周波特性も当然向上することが期待される。

なお、本実施形態では、活性領域12の積層部の最上層を厚みが50nmのアンドープ層12bとしたが、本発明は斯かる実施形態に限定されるものではない。例えば、活性領域の積層部の最上層を厚みが50nm－200nm程度のアンドープ層としてもよく、この最上層の厚みは耐圧性と電流量とのうちいずれを重視するかによって適宜調整することができる。

なお、上述の効果は、活性領域におけるアンドープ層に代えて低濃度ドープ層(本実施形態においてはp型の低濃度ドープ層)を設けても得ることができる。その点については、後述する。

次に、本実施形態のMOSFETの製造工程について説明する。図4(a)～(d)は、本実施形態におけるnチャネル型MOSFETの製造工程を示す断面図である。なお、6H-SiC層を用いて、アンドープ層(低濃度ドープ層)と高濃度ドープ層(δ ドープ層)とを交互に積層するための具体的な装置や方法は、特許出願2000-58964号の明細書及び図面に記載されているとおりである。

まず、図4(a)に示す工程で、p型のSiC基板11を準備する。本実施形態においては、SiC基板11として、主面が{11-20}面(A面)に一致

した方位を有する4H-SiC基板を用いる。ただし、主面が(0001)面(C面)から数度ずれた方位を有するSiC基板を用いてもよい。SiC基板11の直径は25mmである。まず、流量5(l/min)の酸素によってバブリングされた水蒸気雰囲気中で、SiC基板11を1100℃で3時間ほど熱酸化し、表面に厚みが約40nmの熱酸化膜を形成した後、バッファード弗酸(弗酸:フッ化アンモニウム水溶液=1:7)により、その熱酸化膜を除去する。そして、CVD装置のチャンバー内にSiC基板11を設置し、チャンバー内を 10^{-6} Pa程度($\div 10^{-8}$ Torr)の真空度になるまで減圧する。

次に、図4(b)に示す工程で、チャンバー内に希釈ガスとして流量2(l/min)の水素ガスと流量1(l/min)のアルゴンガスとを供給し、チャンバー内の圧力を0.0933MPaとして、基板温度を約1600℃に制御する。水素ガス及びアルゴンガスの流量は上述の一定値に保持しながら、原料ガスとして流量が2(ml/min)のプロパンガスと、流量が3(ml/min)のシランガスとをチャンバー内に導入する。原料ガスは流量50(ml/min)の水素ガスで希釈されている。このとき、ドーピングガス供給用のバルスバルブを完全に閉じておく。これにより、SiC基板11の主面の上に、アンドープのSiC単結晶からなる厚み約1500nmのアンドープ層12b(低濃度ドーブ層)をエピタキシャル成長させる。

ただし、特許出願2000-58964号の明細書及び図面に記載されているように、ドーピングガスとして例えばトリメチルアルミニウム($Al(CH_3)_3$)を約10%含む水素ガスを供給可能にするために、ドーピングガスを高圧ボンベに収納しておいて、高圧ボンベとドーピングガス供給用配管との間にバルスバルブが設けられている。

次に、チャンバー内への希釈ガス、原料ガスの供給量、温度などの条件は変えずに、バルスバルブを開いてp型不純物であるアルミニウムを含むガス(ドーピングガス)をバルス状に供給することにより、SiC基板11の主面の上に、厚み約10nmのp型ドーブ層12a(高濃度ドーブ層)を形成する。そして、原料ガス及び希釈ガスを供給しながら、バルスバルブを繰り返し開閉することによって、ドーピングガスをチャンバー内のSiC基板11の直上にバルス状に供給

することができる。

そして、p型ドーブ層12aのエピタキシャル成長が終了すると、ドーピングガスの供給を停止させて、つまり、バルスバルブを完全に閉じた状態で、プロパンガスとシランガスとをSiC基板11の上に供給することにより、SiC基板11の主面の上に、アンドープのSiC単結晶からなる厚み約50nmのアンドープ層12b（低濃度ドーブ層）をエピタキシャル成長させる。

このようにして、原料ガスを供給しながら同時にバルスバルブを開閉してドーピングガス（トリメチルアルミニウムを含む水素ガス）を導入することによるp型ドーブ層12aの形成と、バルスバルブを閉じた状態にしてドーピングガスを供給しないで原料ガスの供給のみによるアンドープ層12bの形成とを各々40回ずつ繰り返すことにより、p型ドーブ層12aとアンドープ層12bとを交互に5層ずつ積層してなる活性領域12中の積層部を形成する。活性領域12中の上部を占める積層部、つまり厚さ10nmの δ ドーブ層と厚さ50nmのアンドープ層との積層部、における平均のアルミニウム濃度は、約 $1 \times 10^{17} \text{atoms} \cdot \text{cm}^{-3}$ であり、この積層部の熱酸化終了後におけるトータルの厚みは、300nmである。このとき、上述の積層部の最上層にはアンドープ層12bとなっている。

なお、積層部の最上層を占めているアンドープ層12bの厚みを他のアンドープ層12bよりも50nm程度厚くしてもよい。ただし、この場合にはMOSFETのしきい値電圧が高くなるので、ゲート絶縁膜－活性領域間の界面の界面順位の悪影響によるチャネル移動度としきい値電圧とを所望の条件に調整するように、最上部のアンドープ層12bの厚みを決めることができる。

次に、図4（c）に示す工程で、活性領域12の上に、ゲート電極形成領域を覆い、ソース・ドレイン領域となる部分を開口したシリコン酸化膜などからなる注入マスク19を形成した後、基板温度を500～800℃の間に加熱して、注入マスク19の上方から窒素のイオン注入を行なう。さらに、不純物の活性化のためのアニールを温度1500℃で10分間行なうことにより、n型不純物濃度が約 $1 \times 10^{18} \text{atoms} \cdot \text{cm}^{-3}$ のソース領域13aとドレイン領域13bとを形成する。このとき、ソース領域13a及びドレイン領域13bは、具体的には、

例えば温度が500℃で、イオンの加速電圧及びドーズ量を、それぞれ、30 keV及び $5 \times 10^{13} \text{ atoms} \cdot \text{cm}^{-2}$ 、60 keV及び $6 \times 10^{13} \text{ atoms} \cdot \text{cm}^{-2}$ 、100 keV及び $8 \times 10^{13} \text{ atoms} \cdot \text{cm}^{-2}$ 、110 keV及び $5 \times 10^{13} \text{ atoms} \cdot \text{cm}^{-2}$ 、130 keV及び $10 \times 10^{13} \text{ atoms} \cdot \text{cm}^{-2}$ 、180 keV及び $15 \times 10^{13} \text{ atoms} \cdot \text{cm}^{-2}$ 、240 keV及び $10 \times 10^{13} \text{ atoms} \cdot \text{cm}^{-2}$ とした多段のイオン注入によって形成されている。

次に、図4(d)に示す工程で、注入マスク19を除去した後、RCA洗浄などを行なって活性領域12の表面層を清浄化した後、約1100℃の温度下で活性領域12の最上層のアンドープ層12bの表面部(約15nmの厚み分)を熱酸化することにより、厚みが約30nmの熱酸化膜からなるゲート絶縁膜14を形成する。次に、ゲート絶縁膜14のうちソース領域13a及びドレイン領域13bの上方に位置する部分を除去して開口部を設け、開口部に真空蒸着法により形成されたNi合金膜からなるソース電極16a及びドレイン電極16bを形成する。さらに、ソース、ドレイン電極16a、16bと活性領域12とのオーミックコンタクトをとるために1000℃で3分間アニールを行なう。続いて、ゲート絶縁膜14の上にNiを蒸着して、Ni膜からなるゲート長約5μmのゲート電極15を形成する。

上述の工程によって形成されたMOSFETについて、ドレイン電流とドレイン電圧との関係(電流電圧特性)のゲート電圧依存性などを調べたところ、ソース電極16aとドレイン電極16bとの間に一定電圧を加え、ゲート電極15に電圧を印加することにより、ゲート電極15に印加する電圧に応じて、適正なソースドレイン間の電流-電圧特性によるスイッチング動作が得られた。そして、本実施形態のnチャネル型MOSFETでは、ドレイン電圧が200V以上においてもブレイクダウンなしに安定なドレイン電流が得られ、オフ状態における絶縁破壊電圧は600V以上であり、オン抵抗も $1 \text{ m}\Omega \cdot \text{cm}^2$ に低減された。

また、比較のために、図12に示す構造を有する従来のMOSFET(p型チャネルドープSiC層102の不純物濃度が $1 \times 10^{17} \text{ cm}^{-3}$)と、本実施形態のMOSFETとについて、相互コンダクタンスを調べた。その結果、本実施形態のMOSFETにおいては、従来のMOSFETに比べて約3倍の相互コンダ

クタンスが得られた。

すなわち、上述のような本実施形態の n チャネル型 MOSFET におけるチャネル移動度の向上効果によって、高い相互コンダクタンスが実現できることが確認された。

－第 1 の実施形態の変形例－

上記図 1 に示す n チャネル型 MOSFET の構造を応用して、チャネル移動度の高い p チャネル型 MOSFET を構成することも可能である。

この場合には、第 1 の実施形態における各部の導電型を逆にした p チャネル型 MOSFET を形成することにより、ゲート絶縁膜－活性領域間の界面付近にトラップされる負の電荷の作用を補償することができる。

すなわち、図 1 に示す p 型の SiC 基板 11 に代えて n 型の SiC 基板を、 p 型ドープ層に代えて高濃度の n 型不純物（例えば窒素）が δ ドープされた n 型ドープ層を、 n 型のソース領域 13a 及びドレイン領域 13b に代えて p 型の不純物（例えばアルミニウム）を注入して形成される p 型のソース領域及びドレイン領域を設ければよい。そして、 δ ドープ層である n 型ドープ層とアンドープ層とを積層した構造の基本的な効果により、不純物イオン散乱の低減によるチャネル移動度の向上と、耐圧性の向上とを図ることができる。

図 5 (a), (b) は、本変形例における活性領域の深さ方向における n 型不純物である窒素の濃度プロファイルとキャリア分布との関係を模式的に示す図、及び活性領域の深さ方向に沿った伝導帯端の形状を示す部分バンド図である。

図 5 (a) に示すように、アンドープ層における不純物イオン散乱は少なくなるために、アンドープ層においては特に高い電子移動度が得られる。また、図 5 (b) に示すように、活性領域全体の伝導帯端は、図中破線で示す n 型ドープ層の伝導帯端とアンドープ層の伝導帯端とを接続する形状になる。そして、活性領域全体が空乏化された状態においては、当然のことながらアンドープ層及び n 型ドープ層にはキャリアが存在しないので、第 1 の実施形態と同様に、高い耐圧性を示すことになる。

図 6 は、本変形例の p チャネル型 MOSFET における基板側に正の電圧 V が印加されて、キャリアが走行する時、つまり、反転状態のときのゲート電極、ゲ

ート絶縁膜及び活性領域におけるエネルギーバンド図である。

図 6 に示す反転状態においては、印加電圧 V に対応するポテンシャル eV によって上方に曲げられた価電子帯端の端部にホールが集まり、このホールがソース領域－ドレイン領域間の電位差に応じ、活性領域のチャネル層となる部分を走行することになる。そのとき、キャリア（ここではホール）の濃度はゲート絶縁膜の直下において高濃度で下方に向かうほど低濃度になるように分布するので（図 6 参照）、すでに説明した n チャネル型 MOSFET の場合と同様の作用によって、高いチャネル移動度が得られる。

また、不純物濃度の低いアンドープ層を熱酸化して形成されるゲート絶縁膜中の固定電荷の数も低減されるので、チャネル層を走行するホールに対する作用も小さくなり、チャネル移動度が向上する。また、図 5 (a) に示すように、 n ドープ層の厚みが 10 nm 程度と薄いことから、この活性領域のポテンシャルが高められ、キャリアが走行する状態においては、 n 型ドープ層において量子効果に起因した量子準位が生じ、このポテンシャル障壁はある程度のなめらかな傾斜を有するとともに、ポテンシャル中に局在する電子の波動関数はある程度の広がりを持つようになる結果、 n 型ドープ層の不純物中に正の電荷がトラップされる。そして、 n 型ドープ層の不純物中にトラップされた正の電荷によって、すでに説明した n チャネル型 MOSFET と同様の作用が生じ、ゲート絶縁膜中や、ゲート絶縁膜－活性領域間の界面付近にトラップされている負の電荷による作用を補償することによっても、チャネル移動度が向上する。

－第 2 の実施形態－

次に、 δ ドープ層とアンドープ層との積層構造を利用した大電流のスイッチングトランジスタとして機能する ACCUFET (Accumulation Mode FET) に関する第 2 の実施形態について説明する。

図 7 は、本実施形態における ACCUFET の構造を示す断面図である。同図に示すように、濃度 $1 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ のアルミニウム (p 型不純物) がドープされた p 型の SiC 基板 30 の上には、平均濃度約 $1 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ のアルミニウムがドープされた p 型の下部活性領域 31 と、下部活性領域 31 の上に形成され平均濃度約 $1 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ の窒素がドープされた n

型の上部活性領域 3 2 と、上部活性領域 3 2 及び下部活性領域 3 1 内に濃度 $1 \times 10^{18} \text{ cm}^{-3}$ の窒素を注入して形成された n 型のソース領域 3 3 a 及びドレイン領域 3 3 b と、上部活性領域 3 2 の上に形成された SiO_2 からなるゲート絶縁膜 3 4 と、ゲート絶縁膜 3 4 の上に形成された Ni 合金膜からなるゲート電極 3 5 と、ソース領域 3 3 a 及びドレイン領域 3 3 b にそれぞれオーミックコンタクトする Ni 合金膜からなるソース電極 3 6 a 及びドレイン電極 3 6 b と、SiC 基板 3 0 の裏面にオーミックコンタクトする Ni 合金膜からなる裏面電極 3 7 とを備えている。

ここで、図 7 の右方に拡大して示すように、下部活性領域 3 1 は、高濃度（例えば $1 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ ）のアルミニウムを含む厚みが約 10 nm の p 型ドーブ層 3 1 a と、アンドープの SiC 単結晶からなる厚み約 50 nm のアンドープ層 3 1 b とを交互に、約 40 層ずつ積層して構成されている。そして、トータル厚みが約 2400 nm である。そして、p 型ドーブ層 3 1 a は、量子効果によるアンドープ層 3 1 b へのキャリアの浸みだしが可能な程度に薄く形成されていることから、図 3 (a) に示すように、キャリアのしみ出しに伴って p 型ドーブ層 3 1 a には負の電荷がトラップされる。

一方、図 7 の左方に拡大して示すように、上部活性領域 3 2 は、高濃度（例えば $1 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ ）の窒素を含む厚みが約 10 nm の n 型ドーブ層 3 2 a と、アンドープの SiC 単結晶からなる厚さ約 50 nm のアンドープ層 3 2 b とを交互に、各々 5 層ずつ積層して構成されている。つまり、トータル厚みが約 300 nm である。そして、量子効果によって n 型ドーブ層 3 2 a に量子準位が生じ、n 型ドーブ層 3 2 a 中の局在する電子の波動関数はある程度の広がりを持つようになる。その結果、図 5 に破線で示すように、電子が n 型ドーブ層 3 2 a だけでなくアンドープ層 3 2 b にも存在するような分布状態となる。この状態で、上部活性領域 3 2 のポテンシャルが高められ、量子効果によって n 型ドーブ層 3 2 a からアンドープ層 3 2 b に電子が広がった状態になると、n 型ドーブ層 3 2 a, アンドープ層 3 2 b に絶えず電子が供給される。そして、電子が不純物濃度の低いアンドープ層 3 2 b を流れるので、不純物イオン散乱の低減により、高いチャネル移動度を得られる。一方、オフ状態では上部活性領域 3 2 全体が空

乏化され、上部活性領域 3 2 には電子が存在しなくなるので、不純物濃度の低いアンドープ層 3 2 b によって耐圧が規定され、上部活性領域 3 2 全体において高い耐圧値が得られることになる。よって、上部活性領域 3 2 を利用してソース・ドレイン領域 3 3 a, 3 3 b 間に大電流を流すように構成された ACCUFET において、高いチャネル移動度と、高い耐圧とを同時に実現することが可能になる。

また、図 5 (a) に示すごとく、アンドープ層 3 2 b における不純物濃度が低いことから、上部活性領域 3 2 をチャネル層として用いることにより、ゲート絶縁膜 3 4 やゲート絶縁膜—上部活性領域 3 2 間の界面付近にトラップされる電荷の低減によるチャネル移動度の向上と、不純物イオン散乱の低減によるチャネル移動度の向上と、耐圧性の向上とを図ることができる。

さらに、本実施形態の ACCUFET についての電流電圧特性（ドレイン電流とドレイン電圧との関係）のゲート電圧依存性を調べたところ、第 1 の実施形態における n チャネル型 MOSFET に比べて飽和電流量がさらに増大していることがわかった。さらに、ドレイン電圧が 400 V 以上においてもブレイクダウンなしに安定なドレイン電流が得られ、オフ状態における絶縁破壊電圧は 600 V 以上であり、オン抵抗も $1 \text{ m}\Omega \cdot \text{cm}^2$ という低い値が実現できた。

特に、ACCUFET は、飽和電流値が大きくオン抵抗が小さい点に特徴があるが、まだ実用化に至っていない大きな理由の 1 つとして、オフ状態における耐圧性に乏しいという難点がある。ところが、本実施形態の ACCUFET では、上述のように δ ドープ層とアンドープ層との積層構造を利用することによって、オフ状態における高い耐圧性を確保することができるので、ACCUFET の実用化に大きく前進したといえよう。

なお、本実施形態の ACCUFET の製造工程は、基本的に第 1 の実施形態における n チャネル MOSFET の製造工程とほとんど変わらないので、説明を省略する。

なお、本実施形態においては、 δ ドープ層とアンドープ層とを交互に積層してなる下部活性領域 3 1 を設けたが、下部活性領域は必ずしもなくてもよい。また、下部活性領域に代えて均一にドープされた低濃度ドープ層又はアンドープ層を

設けてもよい。ただし、 δ ドーブ層とアンドーブ層とを交互に積層してなる下部活性領域 3 1 を設けることにより、チャンネル下方領域における耐圧をより高めることができる。

－第 2 の実施形態の変形例－

図 8 は、本変形例における A C C U F E T の構造を示す断面図である。この変形例においては、図 7 に示す第 2 の実施形態の A C C U F E T において、上部活性領域 3 2 の上に、下部活性領域 3 1 と同様の構造を有する活性領域、つまり、p 型ドーブ層 3 1 a とアンドーブ層 3 1 b とを 3 層ずつ積層してなる直下活性領域 3 1' を備えている。その他の構造については、図 7 に示す第 2 の実施形態の A C C U F E T と同じである。

本変形例の A C C U F E T においては、第 2 の実施形態と同様に上部活性領域 3 2 がチャンネル層となり、かつ、ゲート絶縁膜 3 4 の直下方には直下活性領域 3 1' 中の低濃度の不純物を含むアンドーブ層 3 1 b が存在するので、ゲート絶縁膜 3 4 やゲート絶縁膜－上部活性領域間の界面付近にトラップされる電荷の低減によるチャンネル移動度の向上と、不純物イオン散乱の抑制作用によるチャンネル移動度の向上と、オフ状態におけるチャンネル層全体の空乏化作用による耐圧の向上とを図ることができる。

また、ポテンシャルが高められたときには、図 2 (a) に示すごとく直下活性領域 3 1' における p 型ドーブ層 3 1 a 中の不純物に負の電荷がトラップされるので、ゲート絶縁膜 3 4－直下活性領域 3 1' 間の界面付近にトラップされる正の電荷の作用を補償することにより、さらにチャンネル移動度の向上を図ることができる。特に、第 2 の実施形態に比べると、ゲート絶縁膜 3 4 の直下に負の電荷をトラップした不純物を含む直下活性領域 3 1' の p 型ドーブ層 3 1 a が存在するので、ゲート絶縁膜 3 4－直下活性領域 3 1' 間の界面付近にトラップされる正の電荷の作用を補償する効果をより顕著に発揮することができる。

－第 3 の実施形態－

次に、 δ ドーブ層とアンドーブ層との積層構造を利用した縦型 M O S F E T に関する第 3 の実施形態について説明する。

図 9 (a) , (b) は、本実施形態における縦型パワー M O S F E T の平面図

及び断面図である。ただし、図9 (a) においては、ソース電極49を除去し、かつ、層間絶縁膜48を透明体として扱ったときの平面状態を示している。

図9 (a), (b) に示すように、本実施形態における縦型パワーMOSFETは、多数のセルをマトリックス状に配置した構造を有している。そして、濃度 $1 \times 10^{18} \text{atoms} \cdot \text{cm}^{-3}$ の窒素 (n型不純物) がドーピングされたn型のSiC基板40と、SiC基板40の上に形成され濃度約 $2 \times 10^{17} \text{atoms} \cdot \text{cm}^{-3}$ の窒素がドーピングされたn-SiC層41と、n型SiC層41の上に形成され濃度約 $1 \times 10^{16} \text{atoms} \cdot \text{cm}^{-3}$ の窒素がドーピングされたp型SiC層42と、p型SiC層42内にイオン注入により形成され濃度約 $1 \times 10^{18} \text{atoms} \cdot \text{cm}^{-3}$ の窒素を含むn+型ソース領域44と、p型SiC層42のうち2つのセルのソース領域44同士の間挟まれた領域にイオン注入により形成され濃度約 $1 \times 10^{18} \text{atoms} \cdot \text{cm}^{-3}$ のアルミニウムを含むp+型コンタクト領域45と、p型SiC層42を貫通してn型SiC層41に達するトレンチ51と、トレンチ51の側面及び底面に沿って形成されδドーピング層及びアンドーピング層の積層膜からなる平均濃度約 $2 \times 10^{17} \text{atoms} \cdot \text{cm}^{-3}$ のアルミニウムを含む活性領域43と、活性領域43の上に形成されたSiO₂からなるゲート絶縁膜46と、ゲート絶縁膜46の上に形成されたポリシリコンからなるゲート電極47と、ゲート電極47を覆う層間絶縁膜48と、基板上を覆い、各セルのn+型ソース領域44及びp+型コンタクト領域45にコンタクトするNi合金膜からなるソース電極49と、SiC基板40の裏面を覆うNi合金膜からなるドレイン電極50とを備えている。

そして、上記活性領域43は、高濃度 (例えば $1 \times 10^{18} \text{atoms} \cdot \text{cm}^{-3}$) のアルミニウムを含む厚みが約10nmのp型ドーピング層43aと、アンドーピングのSiC単結晶からなる厚み約50nmのアンドーピング層43bとを交互に、各々5層ずつ積層して構成されている。つまり、トータル厚みが約300nmである。そして、p型ドーピング層43aは、量子効果によるアンドーピング層43bへのキャリアの浸みだしが可能な程度に薄く形成されていることから、図2 (a) に示すように、キャリアのしみ出しに伴ってp型ドーピング層43aには負の電荷がトラップされる。

本実施形態の縦型パワーMOSFETによると、ポリシリコンゲート電極47にバイアスを付加した状態で、ドレイン電極50とソース電極49との間に電圧を印加することにより、ゲート絶縁膜46とp型SiC層42及びn-型SiC層41との間に介在する活性領域43をキャリア（電子）が走行する。そして、ゲート電極47に印加される電圧によってソース・ドレイン間の電流が変調され、スイッチング動作が得られる。このとき、上記第1の実施形態で説明したように、ゲート絶縁膜46中やゲート絶縁膜－活性領域間の界面付近にトラップされる電荷が低減されることからチャネル移動度が向上し、また、活性領域43の大部分を占めるアンドープ層43bには不純物が少ないことから不純物イオン散乱の低減によるチャネル移動度が向上し、かつ、オフ状態における耐圧も向上する。しかも、活性領域43内のp型ドープ層43aの不純物に負の電荷がトラップされるので、ゲート絶縁膜46－活性領域43間の界面付近にトラップされる正の電荷の作用を補償することにより、さらに、チャネル移動度の向上を図ることができる。

この時、ドレイン電圧が700V以上においてもブレイクダウンなしに安定なドレイン電流が得られ、オフ状態においての絶縁破壊電圧は1000V以上である。さらに、しきい値電圧付近の相互コンダクタンスは、均一ドープの活性領域を設けたものに比べて、約3倍近く高くなっていることが分かった。また、オン抵抗も低減されている。その結果、チャネル移動度も約3倍向上するなどの特性向上が達成でき、低消費電流、低電圧駆動、高利得という特長をもったMOSFETを形成することが可能となった。

次に、本実施形態における縦型パワーMOSFETの製造方法について説明する。図10(a)～(c)及び図11(a)～(c)は、本実施形態の縦型MOSFETの製造工程を示す断面図である。

まず、図10(a)に示す工程で、n型のSiC基板40の上にin-situ ドープによって濃度 $2 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ の窒素をドープしながらn-型SiC層41をエピタキシャル成長させた後、in-situ ドープによって濃度 $1 \times 10^{16} \text{ atoms} \cdot \text{cm}^{-3}$ のアルミニウムをドープしながらp型SiC層42をエピタキシャル成長させる。

次に、図 10 (b) に示す工程で、トレンチ形成領域を開口したシリコン酸化膜 5 1 及び Ni 膜 5 2 からなるエッチングマスクを形成し、ガス種として CF_4 と O_2 とを用いた反応性イオンエッチングを行なって、p 型 Si C 層 4 2 を貫通し、n- 型 Si C 層 4 1 の途中に達するトレンチ 5 1 を形成する。

次に、図 10 (c) に示す工程で、第 1 の実施形態において説明した手順に従って、原料ガスを供給しながら同時にパルスバルブを開閉してドーピングガス（トリメチルアルミニウムを含む水素ガス）を導入することによる p 型ドーブ層 4 3 a の形成と、パルスバルブを閉じた状態にしてドーピングガスを供給しないで原料ガスの供給のみによるアンドーブ層 4 3 b の形成とを各々 5 回ずつ繰り返すことにより、p 型ドーブ層 4 3 a とアンドーブ層 4 3 b とを交互に 5 層ずつ積層してなる活性領域 4 3 を形成する。活性領域 4 3 における平均のアルミニウム濃度は、約 $1 \times 10^{17} \text{atoms} \cdot \text{cm}^{-3}$ であり、活性領域 4 3 のトータルの厚みは、300 nm である。

次に、図 11 (a) に示す工程で、約 1100 °C の温度下で活性領域 4 3 の表面部を熱酸化することにより、熱酸化膜を形成する。さらに、その上にポリシリコン膜を堆積した後、熱酸化膜及びポリシリコン膜をバターニングして、トレンチ 5 1 を埋めるゲート絶縁膜 4 6 とポリシリコンゲート電極 4 7 とを形成する。このとき、2 つのセルの中間部位に熱酸化膜及びポリシリコン膜の一部を残して、これをイオン注入マスク 5 4 とする。そして、ゲート電極 4 7 及びイオン注入マスク 5 4 の上から p 型 Si C 層 4 2 内に窒素イオン (N^+) の注入を行なって、濃度 $1 \times 10^{18} \text{atoms} \cdot \text{cm}^{-3}$ の窒素を含む n+ 型のソース領域 4 4 を形成する。このとき、ソース領域 4 4 a は、温度が 500 °C で、イオンの加速電圧及びドーズ量を、それぞれ、30 keV 及び $5 \times 10^{13} \text{atoms} \cdot \text{cm}^{-2}$ 、60 keV 及び $6 \times 10^{13} \text{atoms} \cdot \text{cm}^{-2}$ 、100 keV 及び $8 \times 10^{13} \text{atoms} \cdot \text{cm}^{-2}$ 、110 keV 及び $5 \times 10^{13} \text{atoms} \cdot \text{cm}^{-2}$ 、130 keV 及び $10 \times 10^{13} \text{atoms} \cdot \text{cm}^{-2}$ 、180 keV 及び $15 \times 10^{13} \text{atoms} \cdot \text{cm}^{-2}$ 、240 keV 及び $10 \times 10^{13} \text{atoms} \cdot \text{cm}^{-2}$ とした多段のイオン注入によって形成されている。

次に、図 11 (b) に示す工程で、イオン注入マスク 5 4 のみを除去した後、

基板上にシリコン酸化膜からなる層間絶縁膜 48 を堆積し、イオン注入マスクで覆っていた領域を開口する。そして、層間絶縁膜 48 の上から p 型 SiC 層 42 内にアルミニウムイオン (Al^{+}) を注入して、濃度 $1 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ のアルミニウムを含む p+ 型コンタクト領域 45 を形成する。

次に、図 11 (c) に示す工程で、層間絶縁膜 48 のうち n+ ソース領域 44 の一部の上にある部分のみをエッチングにより除去してから、真空蒸着装置を用いることによって、Ni 合金膜を基板の表面及び裏面に堆積し、ソース電極 49 とドレイン電極 50 を形成した。

なお、本実施形態においては、1つの基板上に複数のセルを並べた縦型パワー MOSFET について説明したが、1つの基板に1つのセルを設けたものでもよい。また、図 9 に示すように複数のセルを1つの基板に形成した後、1つのセル又は複数のセル毎に切断して、半導体チップ状態で1つの縦型パワー MOSFET として使用することもできる。

－その他の実施形態－

上記各実施形態においては、ゲート絶縁膜を熱酸化膜により構成したが、本発明はかかる実施形態に限定されるものではなく、ゲート絶縁膜を窒素を含む雰囲気中で酸化、窒化することによって形成されるシリコン酸窒化膜をはじめ、タンタル酸化膜などの他の材料からなる酸化膜、酸窒化膜によって構成した場合にも適用することができる。

本発明は、SiC 基板上に設けられる半導体装置だけではなく、例えば GaAs, GaN, AlGaAs, SiGe, SiGeC など、複数の元素の化合物からなる化合物半導体基板上に設けられる半導体装置全般に適用することができる。その場合にも、 δ ドープ層と低濃度ドープ層（アンドープ層を含む）とを積層した活性領域をゲート絶縁膜の下方に備えていることにより、不純物イオン散乱の低減、オフ状態におけるチャネル領域全体の空乏化、 δ ドープ層の不純物への電荷のトラップを利用して、チャネル移動度の向上と耐圧の向上とを図ることができる。

上記第 1 ～ 第 3 の実施形態においては、活性領域中のアンドープ層（低濃度ド

ープ層)と δ ドーブ層(高濃度ドーブ層)とを同じ材料であるSiCによって構成したが、本発明の第1半導体層と第2の半導体層とは必ずしも互いに共通の材料によって構成する必要はない。ただし、両者を互いに共通の材料によって構成することにより、2つの層の間のポテンシャル障壁の傾斜がなめらかになるので、キャリアを活性領域全体に亘って分布させることが容易となる。

上記第1, 第2の実施形態において、基板自体が半導体によって構成されている必要は必ずしもなく、例えばサファイア基板上のGaN層など、絶縁性の基板上に単結晶の化合物半導体層が形成されているものを利用することができる。

上記第2の実施形態において、第3の実施形態のごとく基板にトレンチを設け、ゲート電極及びゲート絶縁膜をトレンチ内に形成して、表面電極から裏面電極に電流が流れるようにした縦型のACCUFETを形成してもよい。その場合にも、 δ ドーブ層と低濃度ドーブ層(アンドーブ層を含む)との積層膜からなる各活性領域がゲート絶縁膜に沿って設けられていることにより、第2の実施形態の効果と同じ効果を発揮することができる。

上記第1～第3の実施形態においては、高濃度ドーブ層として窒素又はアルミニウムを用いて活性領域を形成したが、活性領域の低濃度ドーブ層(アンドーブ層を含む)、高濃度ドーブ層のいずれにおいても、他の元素(例えばリン(P)、ボロン(B)など)を含むドーピングガスを用いても差し支えない。

本発明は、CVD法だけでなくスパッタリング法、蒸着法、MBE法などの他の方法を用いて、低濃度ドーブ層(アンドーブ層を含む)と、それよりも厚みが小さく、量子効果による低濃度ドーブ層へのキャリアの浸みだしが可能な程度に厚みの薄い(材料によって異なるが、SiC基板では20nm程度以下)高濃度ドーブ層とを積層したものにも適用することができる。そして、低濃度ドーブ層(アンドーブ層を含む)の厚みは、100nm程度に厚くてもよいし、量子効果が生じる程度に薄くてもよい。

その際、低濃度ドーブ層と高濃度ドーブ層との不純物濃度の値は上記各実施形態に示す値に限定されるものではない。すなわち、高濃度ドーブ層と低濃度ドーブ層との不純物濃度の差が所定値(例えば1桁程度)以上であれば、本発明の効果を得ることができる。

実験例

－第1の実験例－

以下、本発明の効果を確認するために行なった δ ドーブ層を有する活性領域の基本的特性に関する第1の実験例について説明する。第1の実験例においては、大まかに言って2種類の活性領域を有する基板を作成した。その1つは、厚みが10nmで窒素濃度が $1 \times 10^{18} \text{atoms} \cdot \text{cm}^{-3}$ である複数のn型 δ ドーブ層（高濃度ドーブ層）と、厚みが50nmの複数のアンドーブ層（低濃度ドーブ層）とを積層してなる活性領域を有するサンプルAである。もう1つは、厚みが20nmの複数の δ ドーブ層と、厚みが100nmの複数のアンドーブ層とを積層してなる活性領域を有するサンプルBである。そして、活性領域の基本的な特性を測定するために、この活性領域の上にショットキー電極を設けて、2種類のショットキーダイオードを形成している。このように、サンプルAとBとにおける δ ドーブ層とアンドーブ層との厚みの比をいずれも1:5と共通化することにより、サンプルA、Bの平均的な不純物濃度を同じにしている。なお、以下の説明においては、複数の δ ドーブ層と複数のアンドーブ層とを積層してなる活性領域（チャンネル領域）を δ ドーブチャンネル層ともいう。

図14は、本実験例において形成されたサンプルBの活性領域の深さ方向のドーバント濃度分布を示す図であって、上述のように、 δ ドーブ層を形成する際のパルスバルブ20が開いている期間（パルス幅）を120 μs 、閉じている期間（パルスとパルスとの間隔）を4msとしている。同図の濃度プロファイルは、二次イオン質量分析装置（SIMS）を用いて測定した結果得られたものである。同図において、横軸は基板の最上面からの深さ（ μm ）を表し、縦軸はドーバントである窒素の濃度（ $\text{atoms} \cdot \text{cm}^{-3}$ ）を表している。同図に示すように、本実験例の方法で形成された各 δ ドーブ層における窒素（N）の濃度はほぼ均一であり（約 $1 \times 10^{18} \text{atoms} \cdot \text{cm}^{-3}$ ）、しかもアンドーブ層から δ ドーブ層に遷移する領域、 δ ドーブ層からアンドーブ層に遷移する領域のいずれにおいても、極めて急峻な不純物濃度の変化を示している。なお、図14のデータは、パルスバルブが開いている期間（パルス幅）を120 μs として、キャリアガスとして

窒素ガスを流しながら形成したドーブ層について得られたデータであるために、図14に示される窒素のピーク濃度は $1 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ 程度であるが、パルスバルブが開いている期間（パルス幅）を $110 \mu\text{s}$ 程度の時間にすることにより、窒素のピーク濃度を $1 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ 程度に高めることが可能である。また、キャリアガスとしての窒素ガスを流せば、アンドーブ層の窒素濃度を $1 \times 10^{16} \text{ atoms} \cdot \text{cm}^{-3}$ 程度に制御することも容易である。キャリアガスを流してアンドーブ層にもある程度の流量の窒素を供給することにより、アンドーブ層の窒素濃度を安定して一定濃度に制御できる利点もある。

図15は、窒素の濃度が $1 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ の場合における δ ドーブ層のプロファイルの詳細に調べるために、ショットキーダイオードについてのC-V法による不純物濃度測定を行なった結果を示す図である。C-V法による測定は、径が $300 \mu\text{m}$ の円形Niショットキー電極を有するショットキーダイオードに、バイアスを、 0.5 V から -0.2 V までの間と、 -0.2 V から -2 V の間とに変化させ、これに重畳して微小振幅の 1 MHz の高周波信号を印加して行なった。そして、同図に示す不純物濃度プロファイルは、厚さが 10 nm の δ ドーブ層と厚さが 50 nm のアンドーブ層とを積層したものから抜き出した δ ドーブ層についてのものである。同図に示すように、深さ方向の濃度プロファイルはほぼ上下対称形であり、本発明の実施形態のエピタキシャル方法によって、CVDによるエピタキシャル成長中のドーピングメモリ効果（ドーバントの残留効果）が無視できることを示している。そして、C-V法による δ ドーブ層の平面的なキャリア濃度は $1.5 \times 10^{12} \text{ cm}^{-2}$ であり、ホール係数の測定から得られた平面的なキャリア濃度約 $2.5 \times 10^{12} \text{ cm}^{-2}$ に比較的よく一致している。そして、このパルス状のプロファイルの半値幅は、 12 nm と形成されており、顕著な急峻性を示している。

図16は、 6H-SiC 基板中の δ ドーブ層のバンド端フォトルミネッセンススペクトルの測定結果を示す図である。このスペクトルは温度 8 K の下で得られたものであり、励起源として強度 0.5 mW の He-Cd レーザーが用いられている。ここでは、厚さ 10 nm の δ ドーブ層と厚さ 50 nm のアンドーブ層とを積層したもののアンドーブ層から得られたスペクトルと、厚さ $1 \mu\text{m}$ のアンドー

ブ層から得られたスペクトルとを比較している。同図に示すように、両者のスペクトルパターンが同じ波長領域で同じ強度の発光ピークを有しているので、両者の不純物濃度が同じであることがわかる。言い換えると、 δ ドープ層とアンドープ層とからなる積層構造中のアンドープ層には、 δ ドープ層からの不純物の拡散による不純物濃度の上昇がほとんどみられず、ほぼ所望の不純物濃度プロファイルを維持しながら積層されていることがわかる。特筆すべきは、アンドープ層の不純物濃度が、 $5 \times 10^{16} \text{ atoms} \cdot \text{cm}^{-3}$ 程度の低い値に制御されている点である。すなわち、図4に示すデータでは、アンドープ層の不純物濃度が $10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ オーダーであるように検出されているが、それはSIMSによる測定感度の限界により生じた誤差である。そして、PL法を用いることにより、本発明の δ ドープ層とアンドープ層とを交互に積層して得られる活性領域中のアンドープ層の不純物濃度が $5 \times 10^{16} \text{ atoms} \cdot \text{cm}^{-3}$ 程度の低濃度であることが確認された。

図17(a), (b)は、それぞれ順に、H-SiC層の電子移動度の温度依存性と電子濃度の温度依存性を示すデータである。図17(a), (b)において、○印のデータは、厚みが10nmの δ ドープ層（ドーパントは窒素）と、厚みが50nmのアンドープ層とを積層してなる6H-SiC層（サンプルA）についてのデータである。■印のデータは、6H-SiCの低濃度均一ドープ層（ $1.8 \times 10^{16} \text{ cm}^{-3}$ ）についてのデータであり、▲印のデータは6H-SiCの高濃度均一ドープ層（ $1.3 \times 10^{18} \text{ cm}^{-3}$ ）についてのデータである。図17(a), (b)に示すように、6H-SiCの低濃度均一ドープ層（ $1.8 \times 10^{16} \text{ cm}^{-3}$ ）においては、不純物濃度が低いので、キャリアの走行時にキャリアが不純物から受ける散乱が小さくなることにより、電子の移動度が大きい。一方、6H-SiCの高濃度均一ドープ層（ $1.3 \times 10^{18} \text{ cm}^{-3}$ ）においては、不純物濃度が高いので、キャリアの走行時にキャリアが不純物から受ける散乱が大きくなることにより、電子移動度が小さい。つまり、キャリア濃度とキャリアの走行特性とは、互いにトレードオフの関係にある。それに対し、サンプルAの活性領域中の δ ドープ層においては、高濃度均一ドープ層と同程度に電子濃度が高く、かつ、電子の移動度が高いことがわかる。すなわち、本発明の活性領域

は、高い電子濃度を有していながら、高い電子移動度を実現することができるので、ダイオードやトランジスタの電子が走行する領域に適した構造となっていることがわかる。なお、キャリアがホールである場合にも、原理的には電子の場合と変わりがないので、p型の δ 層におけるホール濃度を高くしつつ、高いホール移動度を実現することができると思われることができる。

図18は、上述の厚みが10 nmの δ ドープ層と厚みが50 nmのアンドープ層とを積層してなる活性領域を有するサンプルAと、厚みが20 nmの δ ドープ層と厚みが100 nmのアンドープ層とを積層してなる活性領域を有するサンプルBとにおける電子移動度の温度依存性を示すデータである。この電子移動度のデータは、温度77～300 Kの範囲において測定されている。上述のように、サンプルAとBとにおける δ ドープ層とアンドープ層との厚みの比をいずれも1:5と共通化してサンプルA、Bの平均的な不純物濃度を同じにしているにも拘わらず、同図に示すように、サンプルAにおける電子移動度は、サンプルBにおける電子移動度に比べて大きいことがわかる。特に、低温領域においては、サンプルBにおける電子移動度は、温度が低くなるにしたがって、イオン化された不純物による散乱のために低下しているが、サンプルAにおいては、温度が低くなっても高い電子移動度が維持されていることが示されている。

図19(a), (b)は、厚みが10 nmの δ ドープ層を有するサンプルAにおける伝導帯端のバンド構造をシミュレーションした結果を示す図、及びキャリア濃度分布をシミュレーションした結果を示す図である。図20(a), (b)は、厚みが20 nmの δ ドープ層を有するサンプルBにおける伝導帯端のバンド構造をシミュレーションした結果を示す図、及びキャリア濃度分布をシミュレーションした結果を示す図である。図19(a), 図20(a)に示すように、 δ ドープ層に対して直交する断面においては、電子は、正にチャージしたドナー層によって挟まれたV型のクーロンポテンシャル(量子井戸)に閉じ込められ、この井戸内で量子状態が形成される。電子の実効質量は1.1であり、6H-SiC層の比誘電率は9.66である。アンドープ層に用いられる6H-SiC層のバックグラウンドのキャリア濃度は約 $1 \times 10^{15} \text{ cm}^{-3}$ であり、n型 δ ドープ層のキャリア濃度は $1 \times 10^{18} \text{ cm}^{-3}$ である。

図19(b)に示すように、厚みが10nmの δ ドープ層(サンプルA)においては、2次元電子が2つの δ ドープ層によって挟まれたアンドープ層にまで広く分布していて、電子濃度が $2 \times 10^{16} \text{ m}^{-3}$ 以上の領域は界面から25nmの範囲である。つまり、図5(a)において模式的に描かれているキャリアの分布状態と一致しており、キャリアが δ ドープ層からアンドープ層にまで浸みだしていることがわかる。

一方、図20(b)に示すように、厚みが20nmの厚い δ ドープ層(サンプルB)においては、電子の波動関数によって規定されるキャリアの存在確率の高い領域と、イオン化散乱中心を有する δ ドープ層とが強くオーバーラップしていて、電子濃度が $2 \times 10^{16} \text{ cm}^{-3}$ 以上の領域は界面から11nmの範囲である。つまり、キャリアの δ ドープ層からアンドープ層への浸みだしが比較的少ないことがわかる。

－第2の実験例－

第2の実験例においては、第1の実験例で示されるような高い電子の移動度を示す δ ドープ層を有する活性領域をMOSFETのチャネル領域として用いる例について説明する。

図21は、本実験例におけるACCUFETの構造を示す断面図である。同図に示すように、濃度 $1 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ のアルミニウム(p型不純物)がドープされたp型のSiC基板60の上には、濃度約 $9 \times 10^{15} \text{ atoms} \cdot \text{cm}^{-3}$ のアルミニウムがドープされたp型の下部活性領域61と、下部活性領域61の上に形成され窒素がドープされたn型の上部活性領域62と、上部活性領域62及び下部活性領域61内に濃度 $1 \times 10^{18} \text{ cm}^{-3}$ の窒素を注入して形成されたn型のソース領域63a及びドレイン領域63bと、上部活性領域62の上に形成された SiO_2 からなるゲート絶縁膜64と、ゲート絶縁膜64の上に形成されたNi合金膜からなるゲート電極65と、ソース領域63a及びドレイン領域63bにそれぞれオーミックコンタクトするNi合金膜からなるソース電極66a及びドレイン電極66bと、SiC基板60の裏面にオーミックコンタクトするNi合金膜からなる裏面電極67とを備えている。ソース領域63a及びドレイ

ン領域63bは、温度が500℃で、イオンの加速電圧及びドーズ量を、それぞれ、30keV及び $5 \times 10^{13} \text{ atoms} \cdot \text{cm}^{-2}$ 、60keV及び $6 \times 10^{13} \text{ atoms} \cdot \text{cm}^{-2}$ 、100keV及び $8 \times 10^{13} \text{ atoms} \cdot \text{cm}^{-2}$ 、110keV及び $5 \times 10^{13} \text{ atoms} \cdot \text{cm}^{-2}$ 、130keV及び $10 \times 10^{13} \text{ atoms} \cdot \text{cm}^{-2}$ 、180keV及び $15 \times 10^{13} \text{ atoms} \cdot \text{cm}^{-2}$ 、240keV及び $10 \times 10^{13} \text{ atoms} \cdot \text{cm}^{-2}$ とした多段のイオン注入によって形成されている。

ここで、ゲート電極65のゲート長 L_g は5 μm 、ゲート幅 W_g は180 μm 、ゲート絶縁膜64の厚みは約40nm、p型SiCからなる下部活性領域61の厚みは5 μm である。

また、図21の左方に拡大して示すように、上部活性領域62は、高濃度($1 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$)の窒素を含む厚みが約10nmのn型ドープ層62aと、アンドープのSiC単結晶からなる厚さ約50nmのアンドープ層62bとを交互に、各々5層ずつ積層して構成されている。つまり、トータル厚みが約300nmである。このACCUFETは、ノーマリーオフ型であり、しきい値電圧は4.2Vである。

つまり、本実験例においては、図7に示す構造を有するACCUFETにおける下部活性領域61には δ ドープ層を設けずに、均一ドープ層としている。

図22は、本実験例のACCUFETについて、ゲートバイアス V_g を-5Vから25Vまで5V刻みに変えたときのI-V特性(ドレイン電圧の変化に対するドレイン電流の変化特性)を示す図である。このI-V特性からわかるように、ゲートバイアスが15Vとパワーデバイスでは比較的低い値に設定しても、220mA/mm程度の大きなドレイン電流が得られている。つまり、本発明のACCUFETの電流駆動力が大きいことが確認された。

図23は、図22のデータに基づく計算によって得られた、実効チャネル移動度のゲート電圧依存性を示す図である。同図に示すように、本実験例のACCUFETは、ゲートバイアスを高くしたときでも50(cm^2/Vs)以上の実効チャネル移動度を有することが確認されている。つまり、FETの電流駆動力は実効チャネル移動度に比例するが、本実験例のACCUFETは、上述のような δ ドープ層とアンドープ層とを交互に積層した構造を有していることから、高い

実効チャネル移動度を発揮し、その結果、大きな電流駆動力を発揮していることがわかる。

以上の実験例や他のシミュレーションデータなどを総合すると、高濃度ドープ層の厚みは、SiC層を用いる場合には、1モノレイヤー以上で20nm未満であることが好ましいことがわかった。また、低濃度ドープ層（アンドープ層を含む）の厚みは、約10nm以上で約100nm以下であることが好ましい。これらの高濃度ドープ層と低濃度ドープ層の厚みは、それぞれ、これらを利用して形成される能動素子（ダイオード、トランジスタなど）の種類や目的に応じて適宜選択することができる。

また、SiC層以外の半導体層、例えばGaAs層、AlGaAs層、GaN層、AlGaN層、SiGe層、SiGeC層などの場合には、高濃度ドープ層（ δ ドープ層）の厚みはその材料に応じて適正な厚みが定められる。例えば、GaAs層を用いる場合には、1モノレイヤーの δ ドープ層を設けることができる。一般的には、キャリアの供給能力を適正に維持できさえすれば、同じ厚みで耐圧値を向上させるためには、高濃度ドープ層（ δ ドープ層）の厚みは薄いほど好ましいといえる。

産業上の利用可能性

本発明の半導体装置は、電子機器に搭載されるMOSFET、ACCUFET、縦型MOSFET、DMOSデバイスなどのデバイス、特に、高周波信号を扱うデバイスや、パワーデバイスに利用される。

請求の範囲

1. 基板上に設けられた化合物半導体層と、

上記化合物半導体層内に互いに離間して設けられ各々第1導電型不純物を含む2つの高濃度ドープ層と、

上記2つの高濃度ドープ層に挟まれて設けられ第2導電型不純物を含む活性領域と、

上記活性領域の上に設けられたゲート絶縁膜と、

上記ゲート絶縁膜の上に設けられたゲート電極とを備え、

上記活性領域は、キャリア走行領域として機能する少なくとも1つの第1の半導体層と、高濃度のキャリア用不純物を含み上記第1の半導体層よりも膜厚が薄く量子効果によるキャリアの分布が可能な少なくとも1つの第2の半導体層とを交互に積層して構成され、

上記活性領域のうち上記ゲート絶縁膜と接する領域は上記第1の半導体層によって占められていることを特徴とするMISFET。

2. 請求項1のMISFETにおいて、

上記基板は、上記化合物半導体層と一体的に設けられており、

上記化合物半導体層を掘り込んでなるトレンチをさらに備え、

上記ゲート絶縁膜及び上記ゲート電極は上記トレンチの底面及び側面を覆うように形成されており、

上記2つの高濃度ドープ層のうち一方は、上記化合物半導体層の上面部に設けられ、他方は上記化合物半導体層の裏面部に設けられていることを特徴とするMISFET。

3. 基板上に設けられた化合物半導体層と、

上記化合物半導体層の上に設けられたゲート絶縁膜と、

上記化合物半導体層内で互いに離間して設けられ各々第1導電型不純物を含む2つの高濃度ドープ層と、

上記化合物半導体層内で上記2つの高濃度ドープ層に挟まれて設けられ第1導

電型不純物を含むキャリア走行領域として機能する第1の活性領域と、

上記ゲート絶縁膜の上に設けられたゲート電極とを備え、

上記第1の活性領域は、少なくとも1つの第1の半導体層と、上記第1の半導体層よりも高濃度のキャリア用不純物を含み上記第1の半導体層よりも膜厚が薄く量子効果による第1の半導体層へのキャリアの浸みだしが可能な少なくとも1つの第2の半導体層とを積層して構成されていることを特徴とするMISFET。

4. 請求項3のMISFETにおいて、

上記第1の活性領域のうち上記ゲート絶縁膜と接する領域は上記第1の半導体層によって占められていることを特徴とするMISFET。

5. 請求項3又は4のMISFETにおいて、

上記第1の活性領域と上記ゲート絶縁膜との間の領域、及び上記第1の活性領域を挟んで上記ゲート絶縁膜と対向する領域のうち少なくともいずれか一方の領域に設けられ、第2導電型不純物を含む第2の活性領域をさらに備えていることを特徴とするMISFET。

6. 請求項5のMISFETにおいて、

上記第2の活性領域は、複数の第1の半導体層と、上記第1の半導体層よりも高濃度のキャリア用不純物を含み上記第1の半導体層よりも膜厚が薄く量子効果によるキャリアの分布が可能な少なくとも1つの第2の半導体層とを積層して構成されていることを特徴とするMISFET。

7. 請求項3-5のうちいずれか1つのMISFETにおいて、

上記基板は、上記化合物半導体層と一体的に設けられており、

上記化合物半導体層を掘り込んでなるトレンチをさらに備え、

上記ゲート絶縁膜及び上記ゲート電極は上記トレンチの底面及び側面を覆うように形成されており、

上記 2 つの高濃度ドープ層のうち一方は、上記化合物半導体層の上面部に設けられ、他方は上記化合物半導体層の裏面部に設けられていることを特徴とする M I S F E T。

8. 請求項 1 - 7 のうちいずれか 1 つの半導体装置において、

上記第 2 の半導体層は、S i C 層であり、

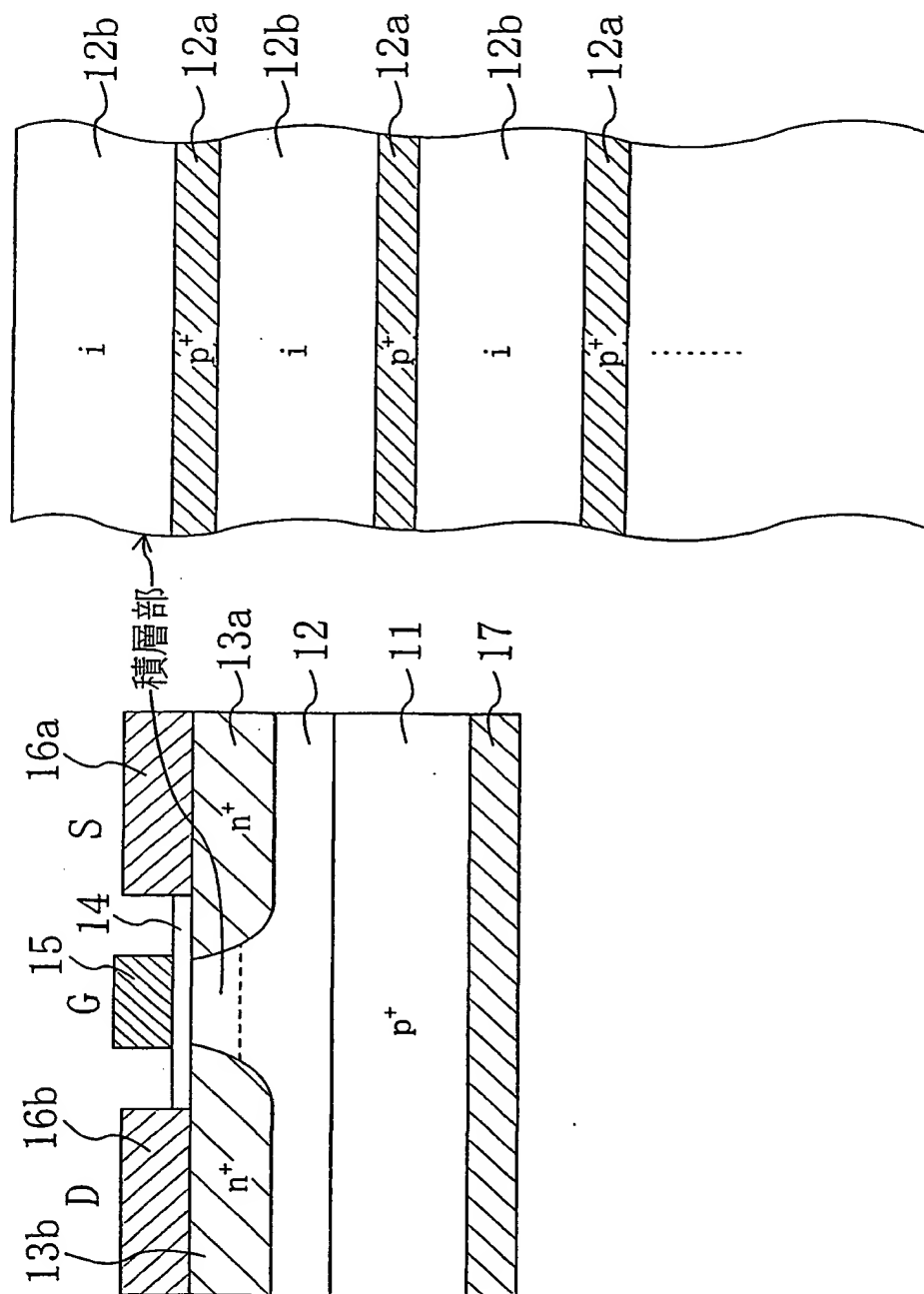
上記第 2 の半導体層の厚みは、1 モノレイヤー以上で 2 0 n m 未満であることを特徴とする半導体装置。

9. 請求項 1 - 7 のうちいずれか 1 つの半導体装置において、

上記第 1 の半導体層は、S i C 層であり、

上記第 1 の半導体層の厚みは、約 1 0 n m 以上で約 1 0 0 n m 以下であることを特徴とする半導体装置。

FIG. 1



2/22

FIG. 2(a)

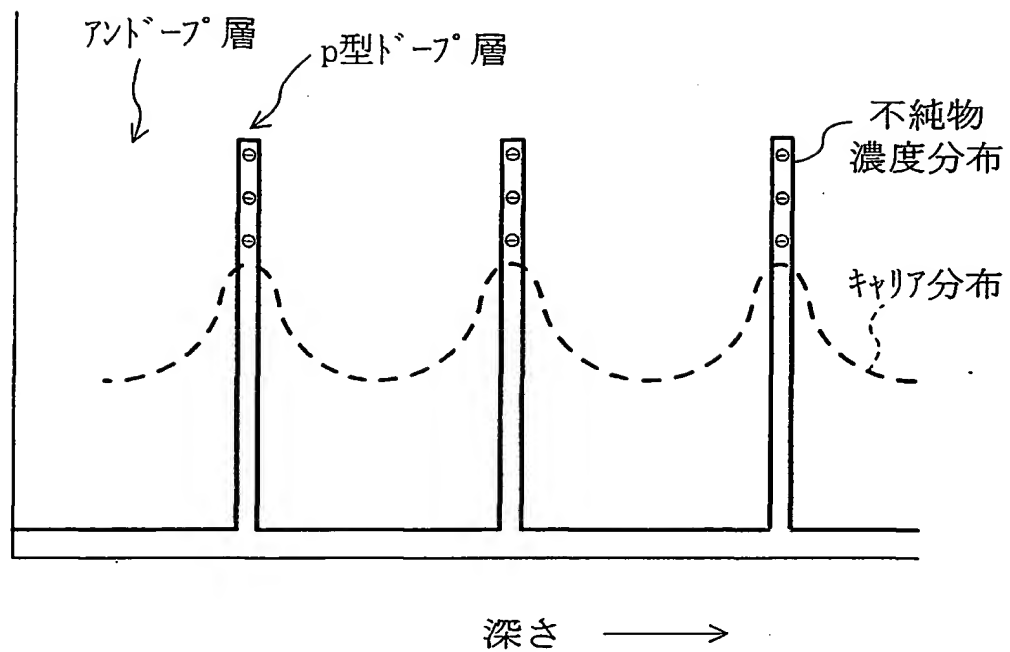
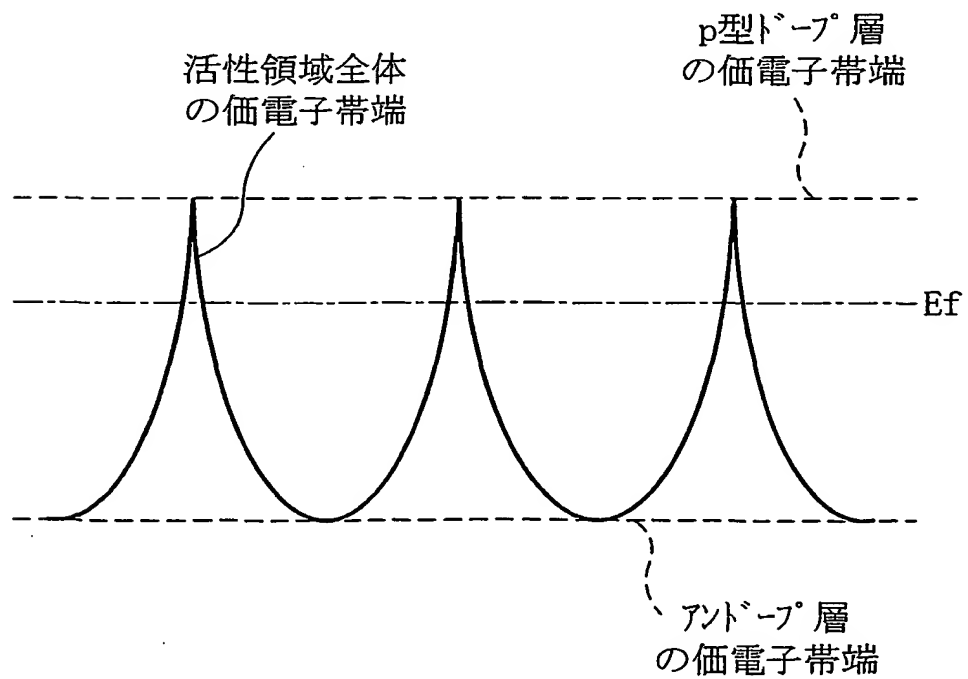
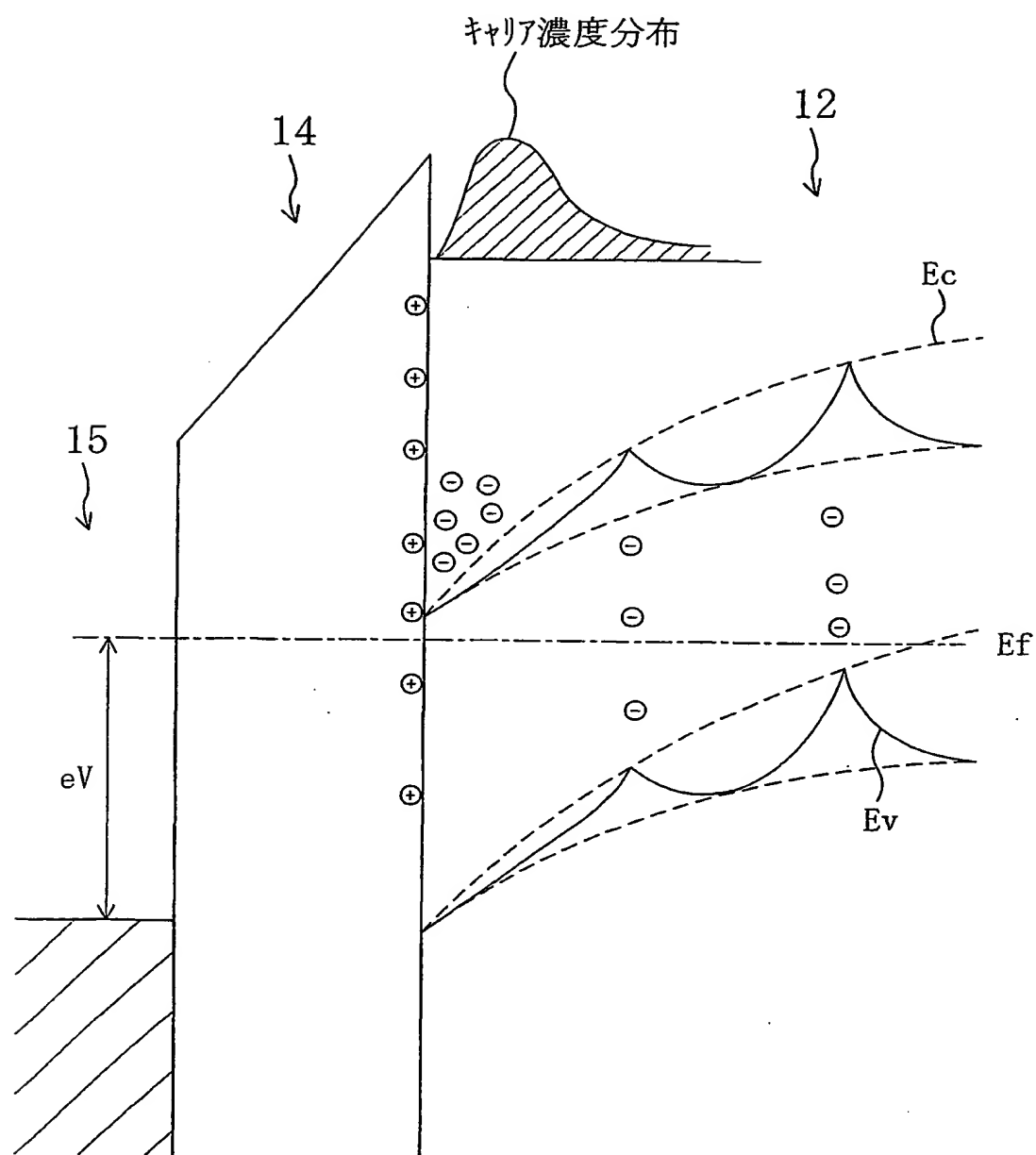


FIG. 2(b)



3/22

FIG. 3



4/22

FIG. 4(a)

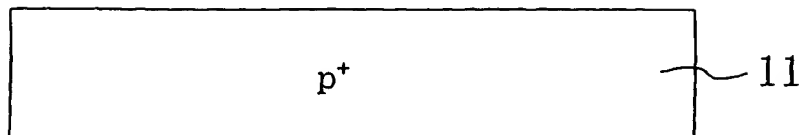


FIG. 4(b)

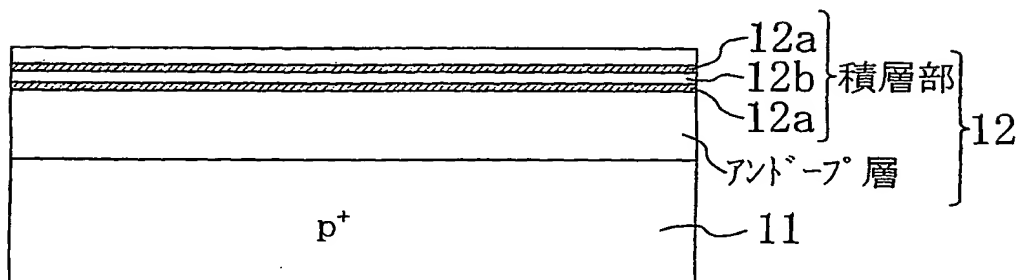


FIG. 4(c)

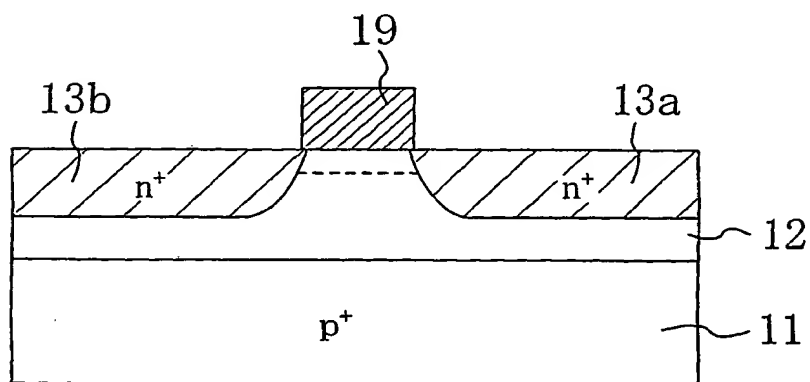
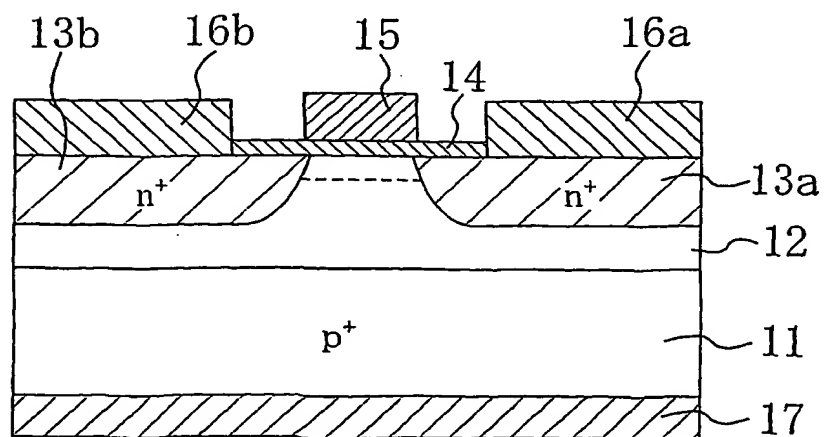


FIG. 4(d)



5/22

FIG. 5(a)

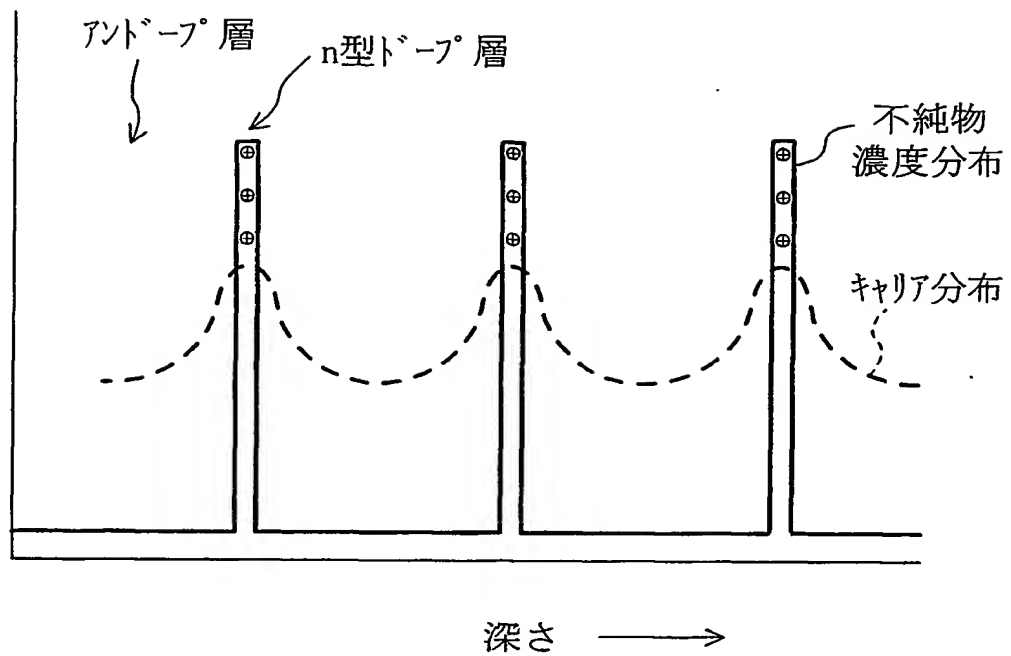
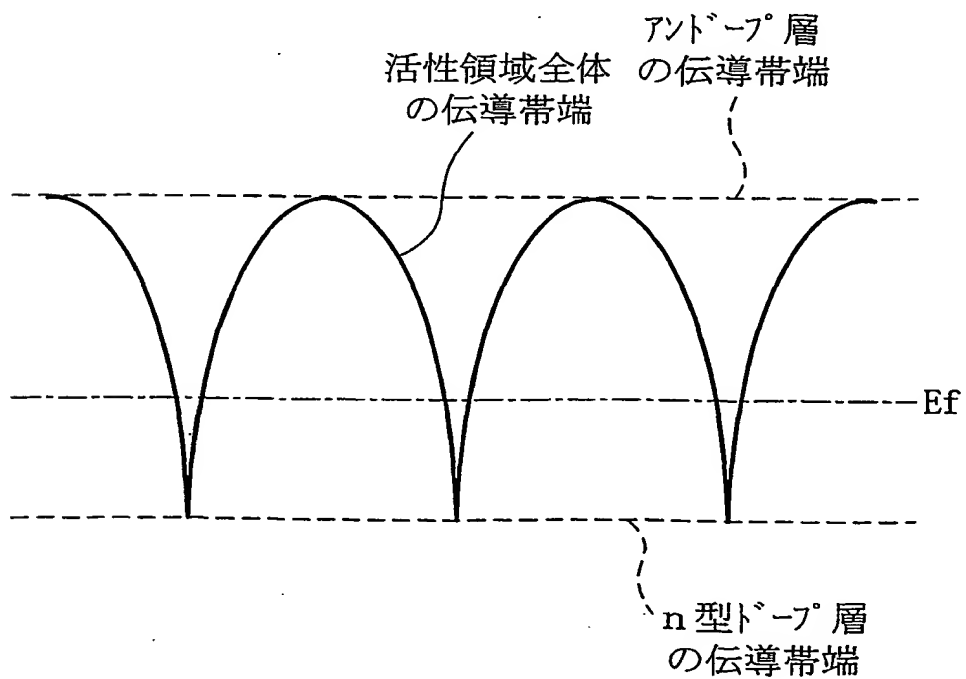
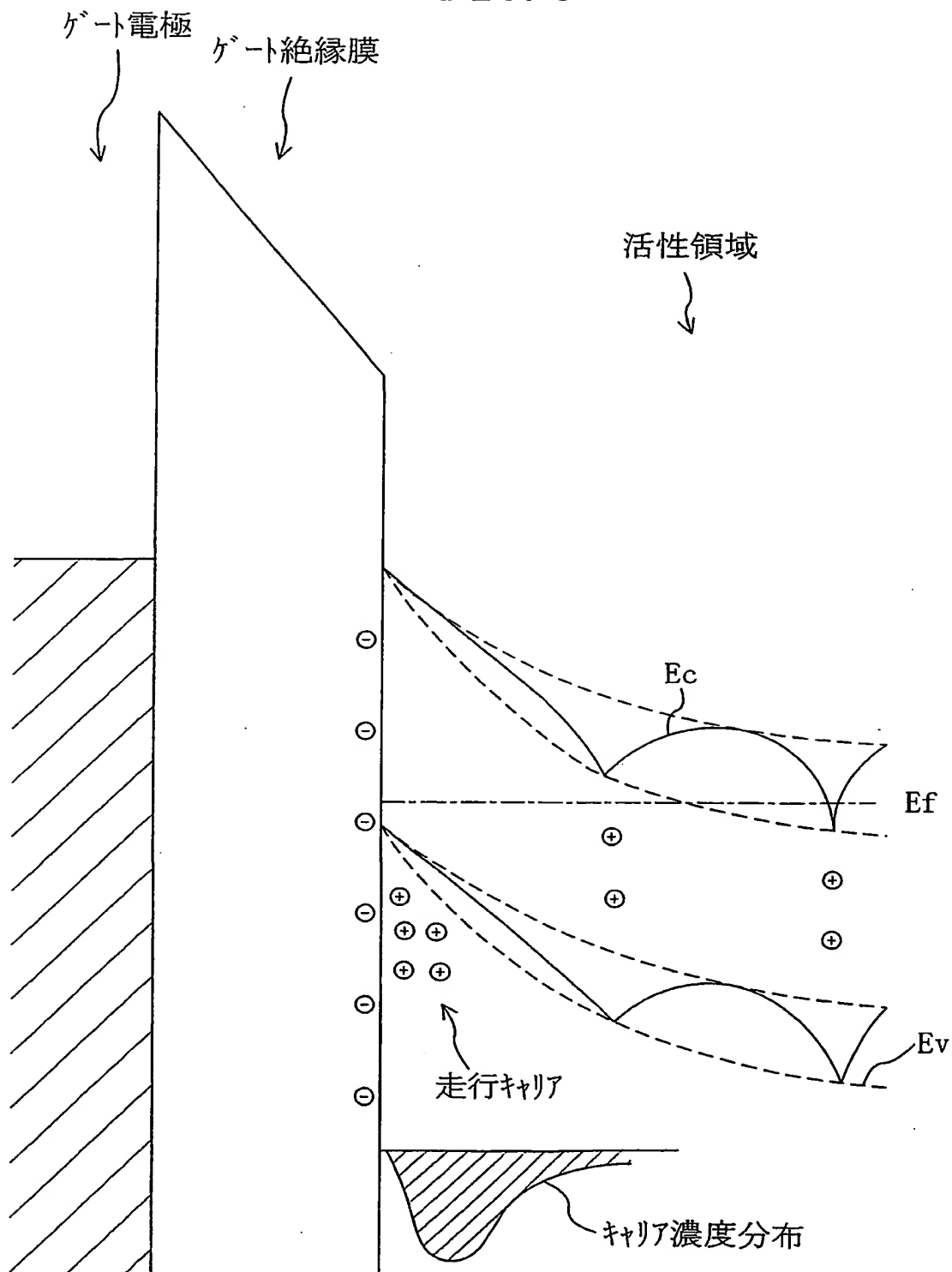


FIG. 5(b)



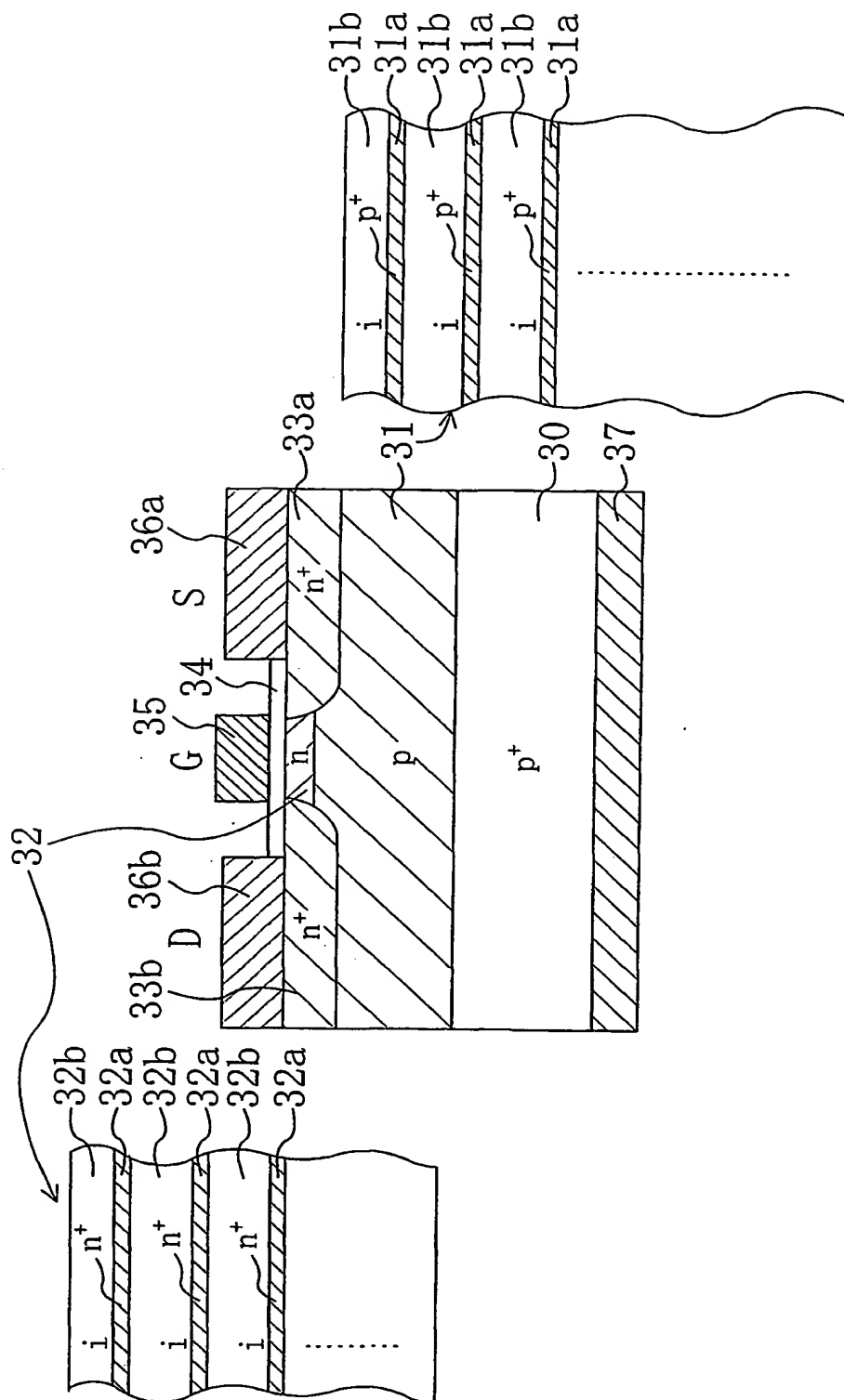
6/22

FIG. 6



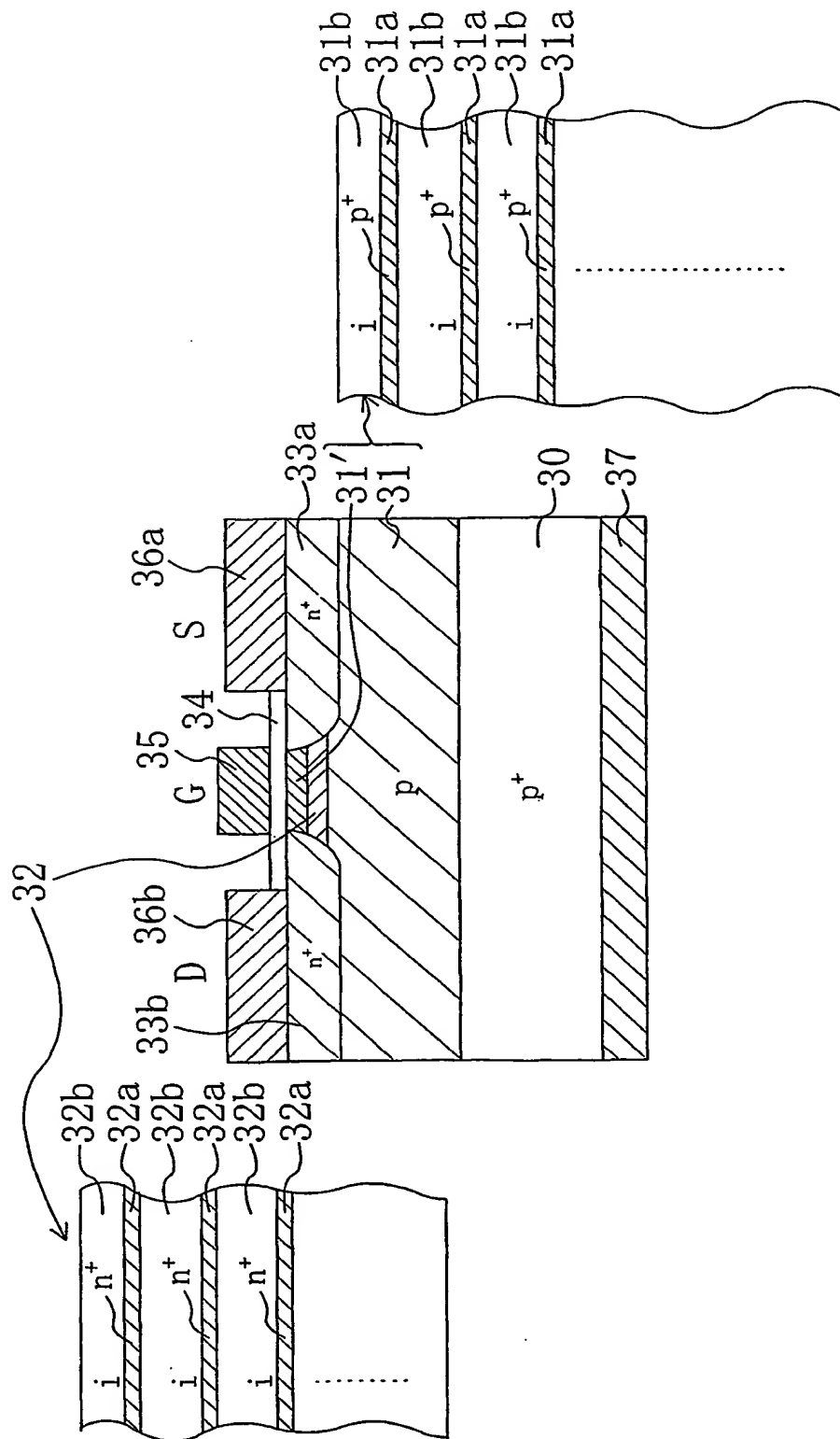
7/22

FIG. 7



8/22

FIG. 8



9/22

FIG. 9(a)

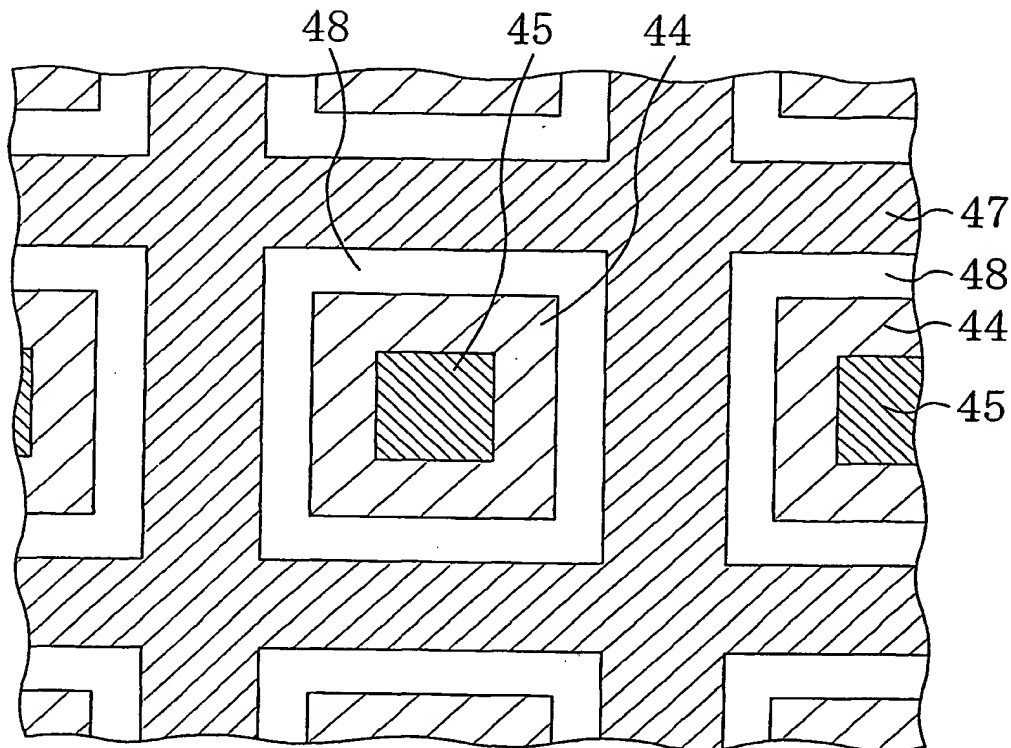
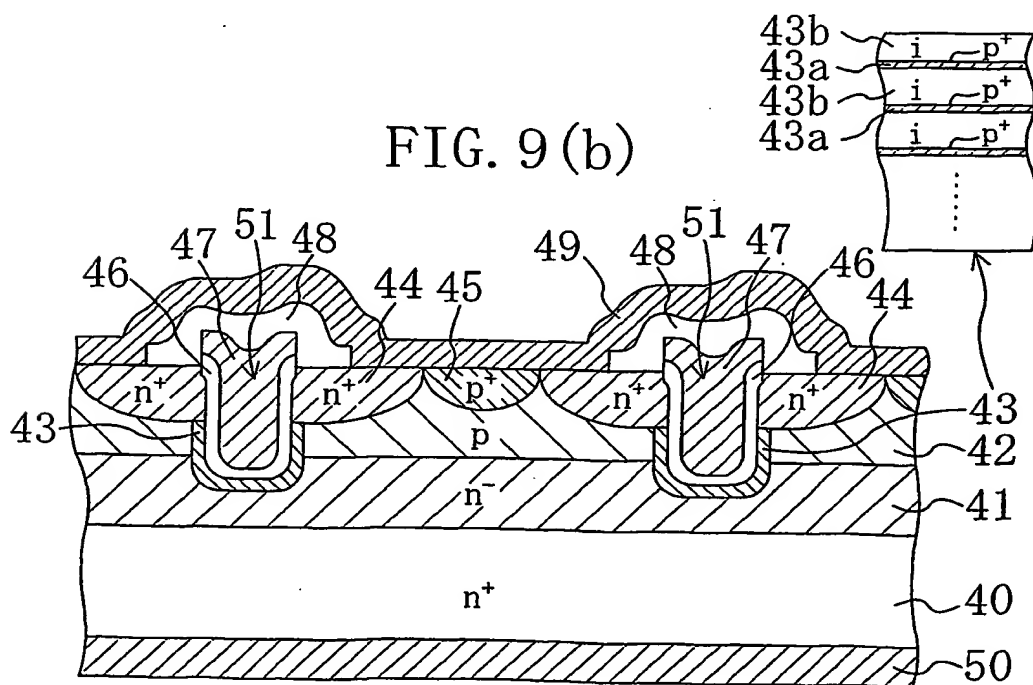


FIG. 9(b)



10/22

FIG. 10 (a)

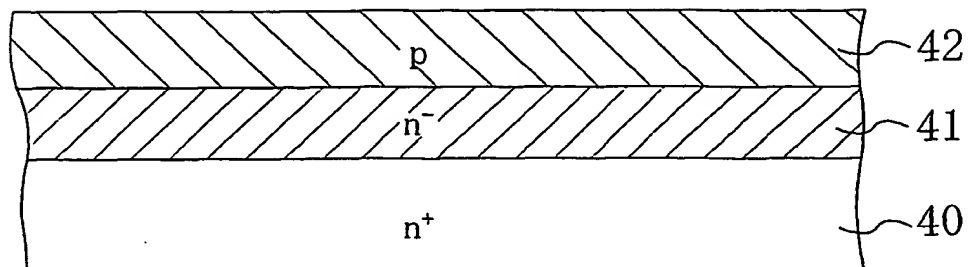


FIG. 10 (b)

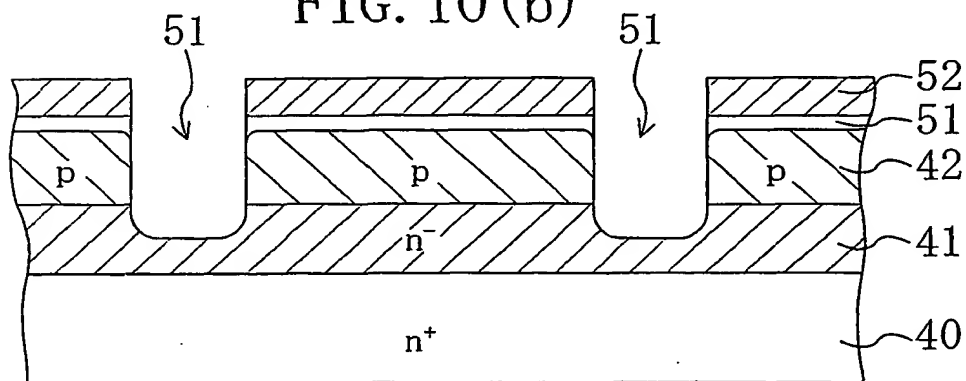
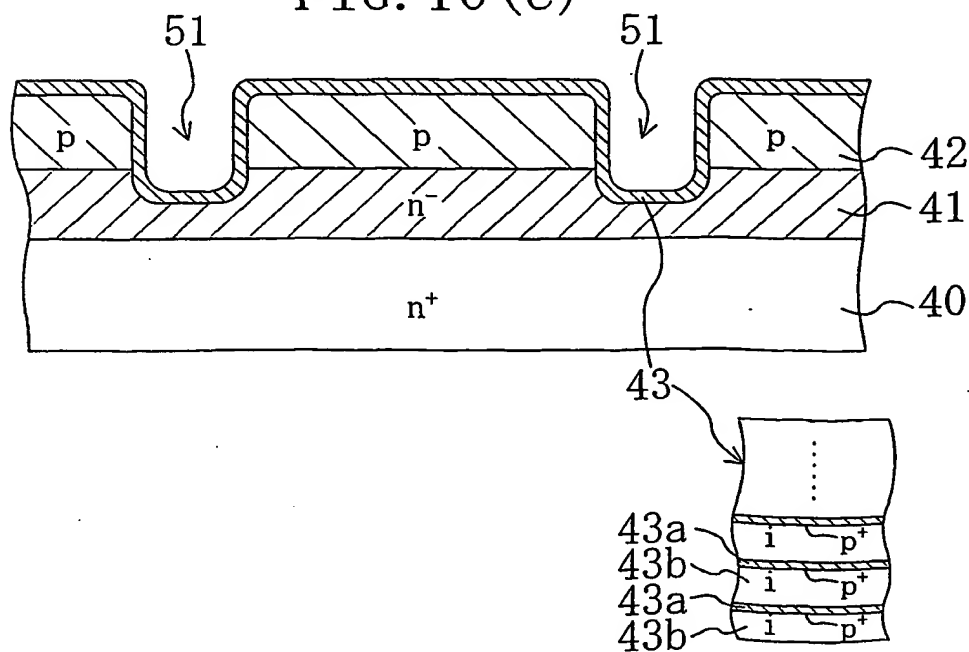


FIG. 10 (c)



11/22

FIG. 11(a)

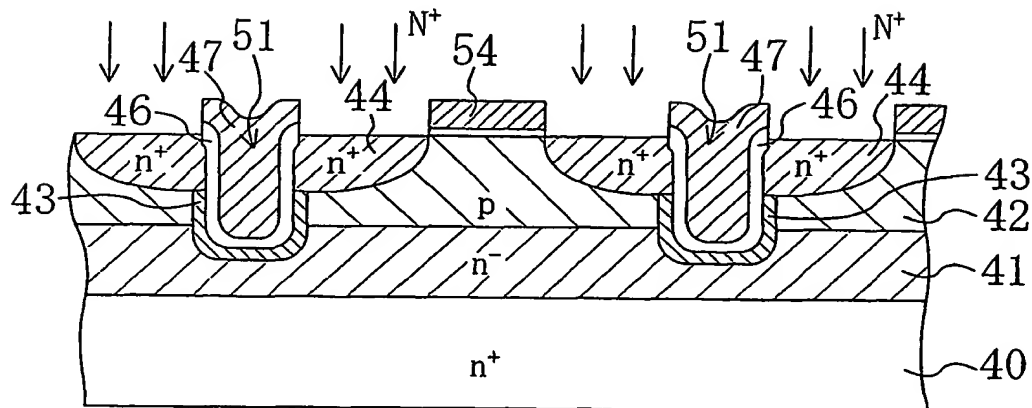


FIG. 11(b)

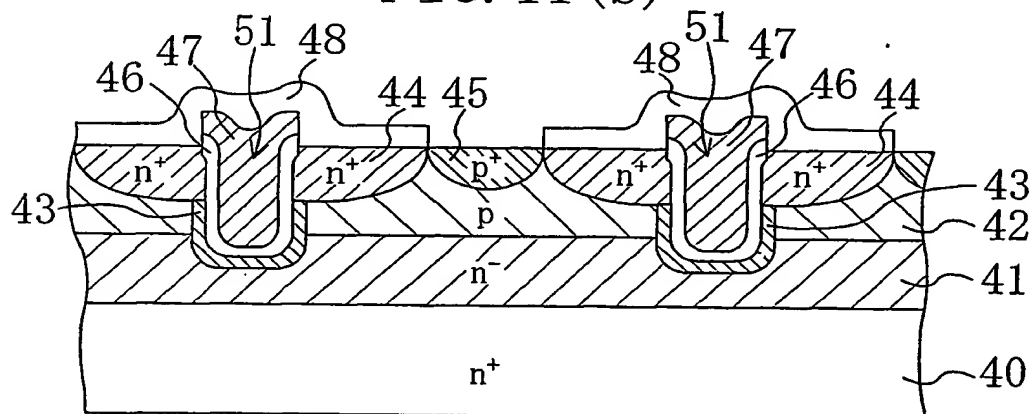
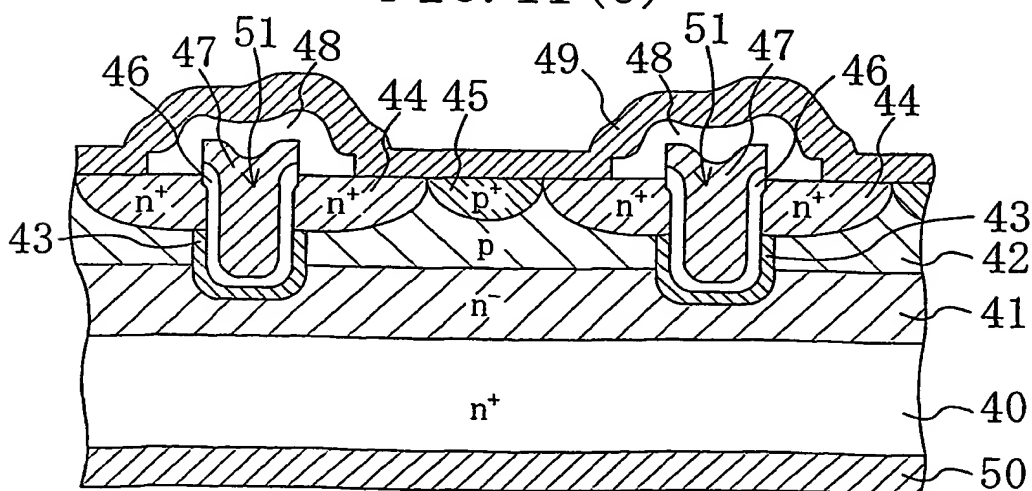
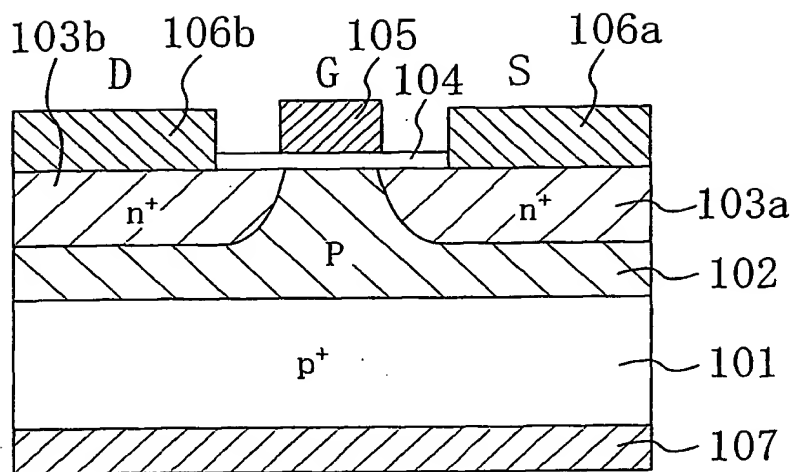


FIG. 11(c)



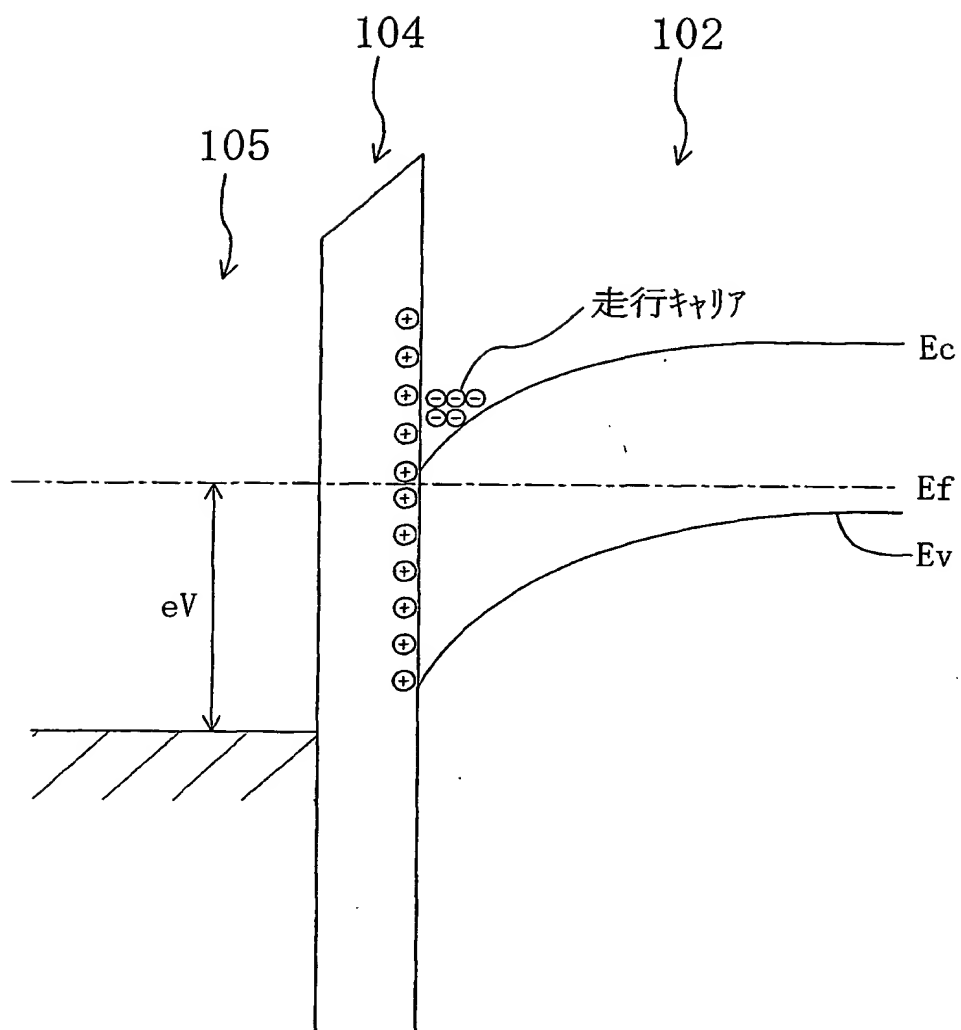
12/22

FIG. 12



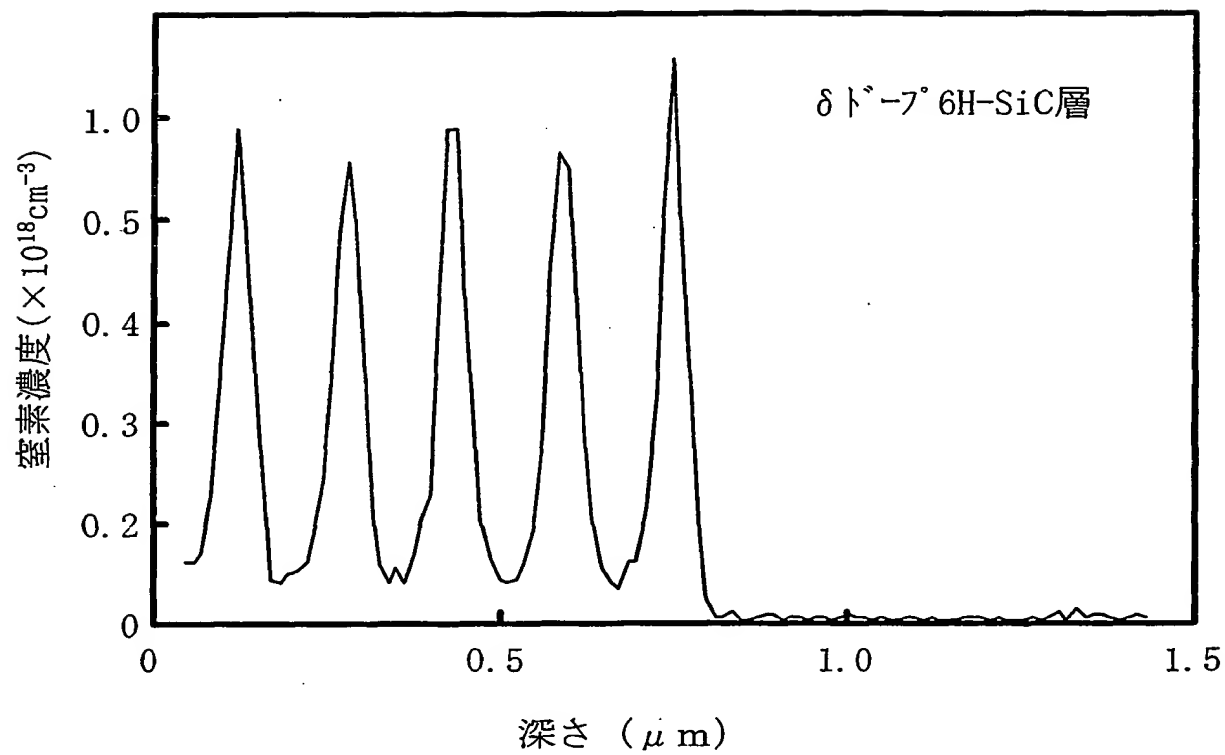
13/22

FIG. 13



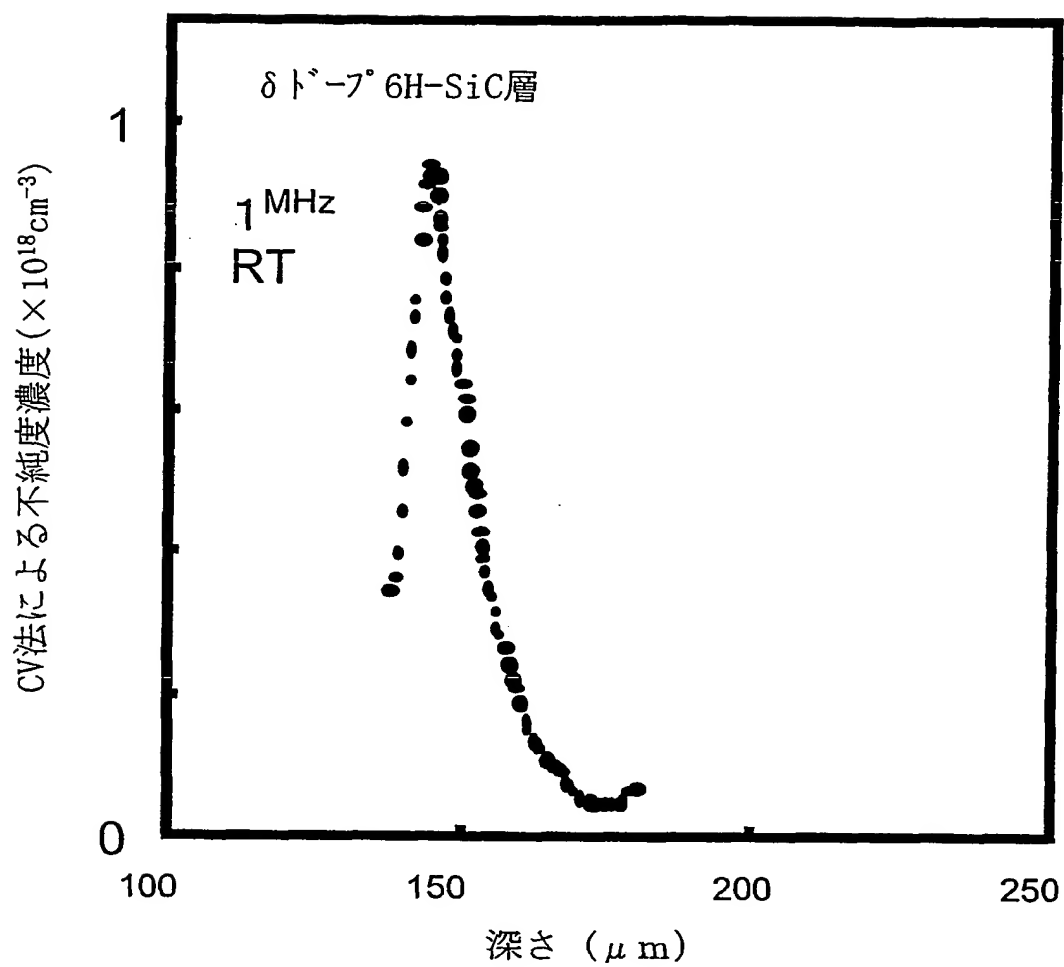
14/22

FIG. 14



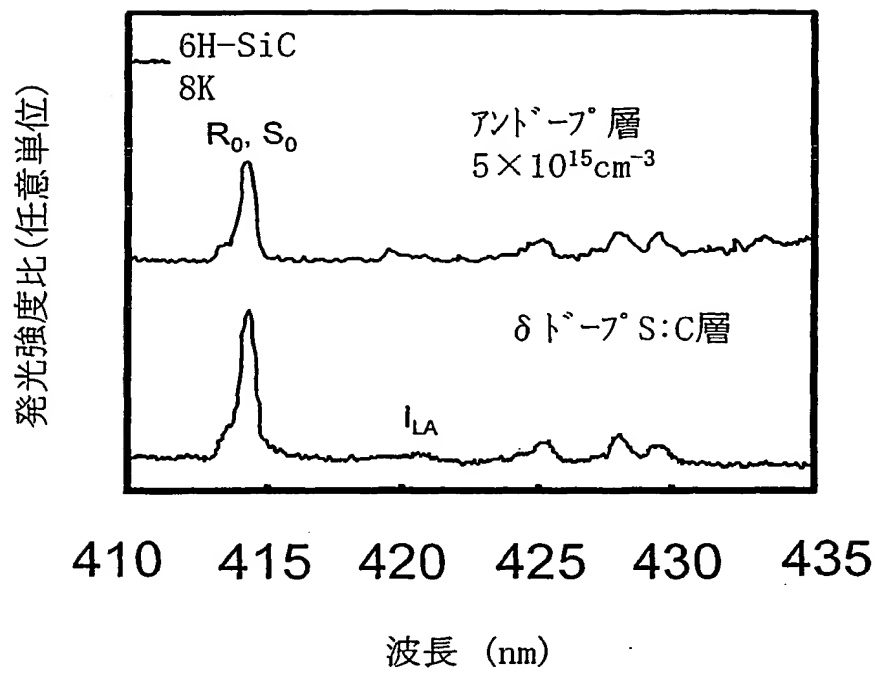
15/22

FIG. 15



16/22

FIG. 16



17/22

FIG. 17 (a)

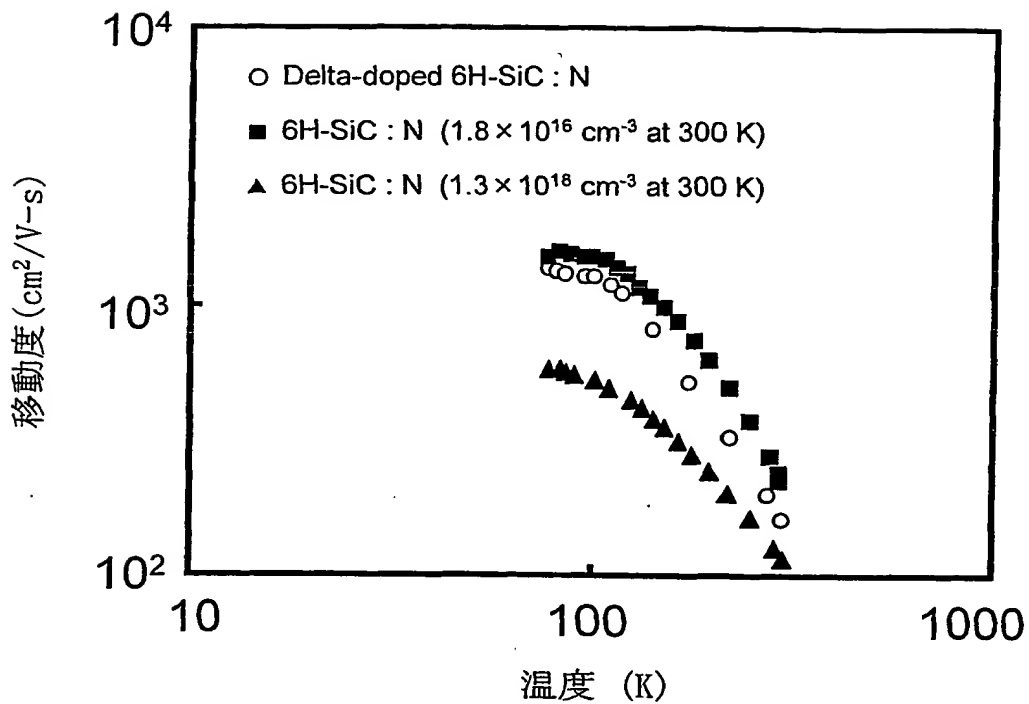
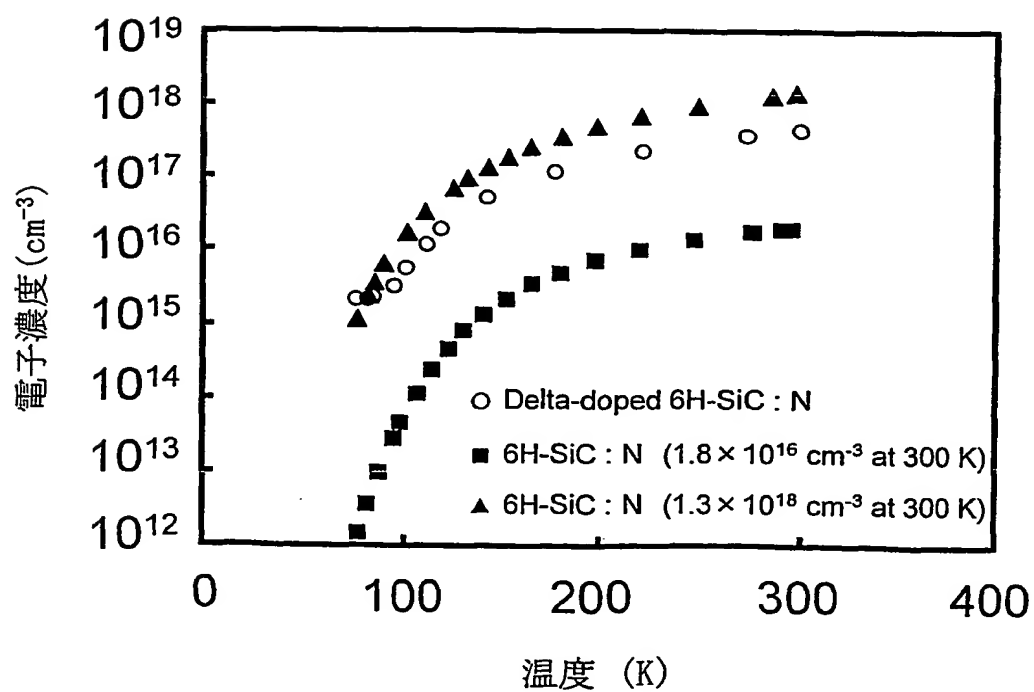
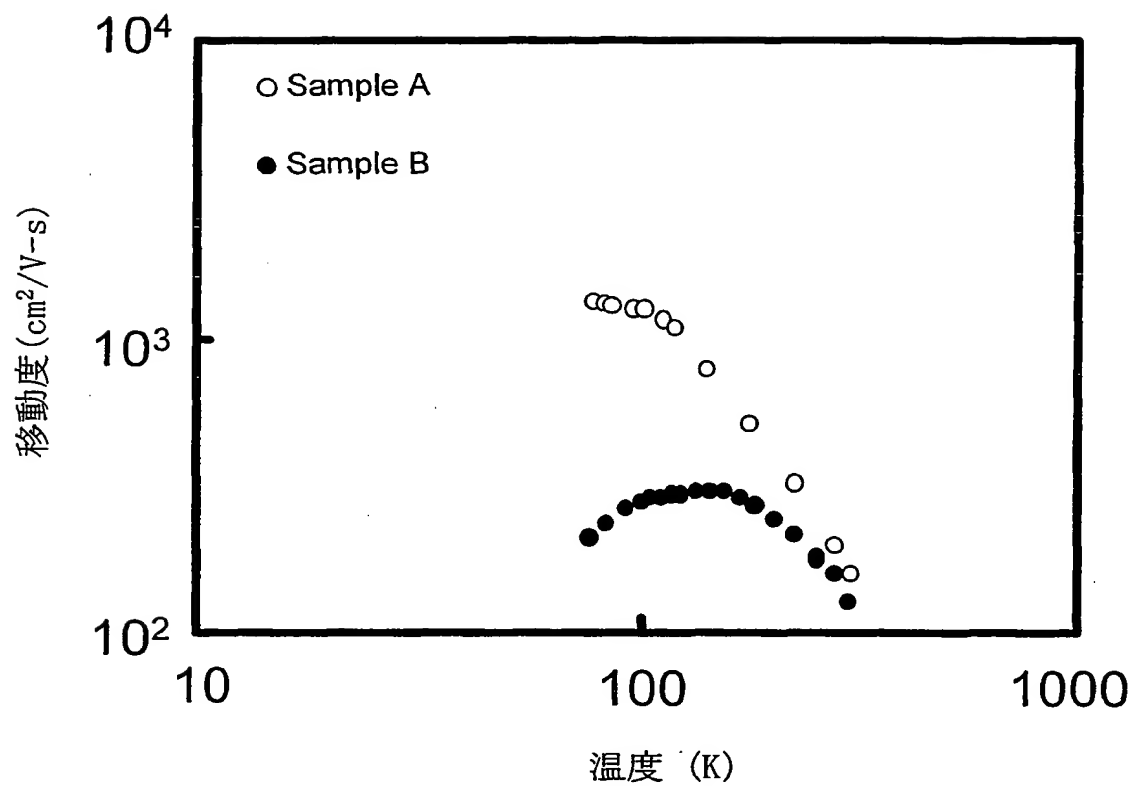


FIG. 17 (b)



18/22

FIG. 18



19/22

FIG. 19(a)

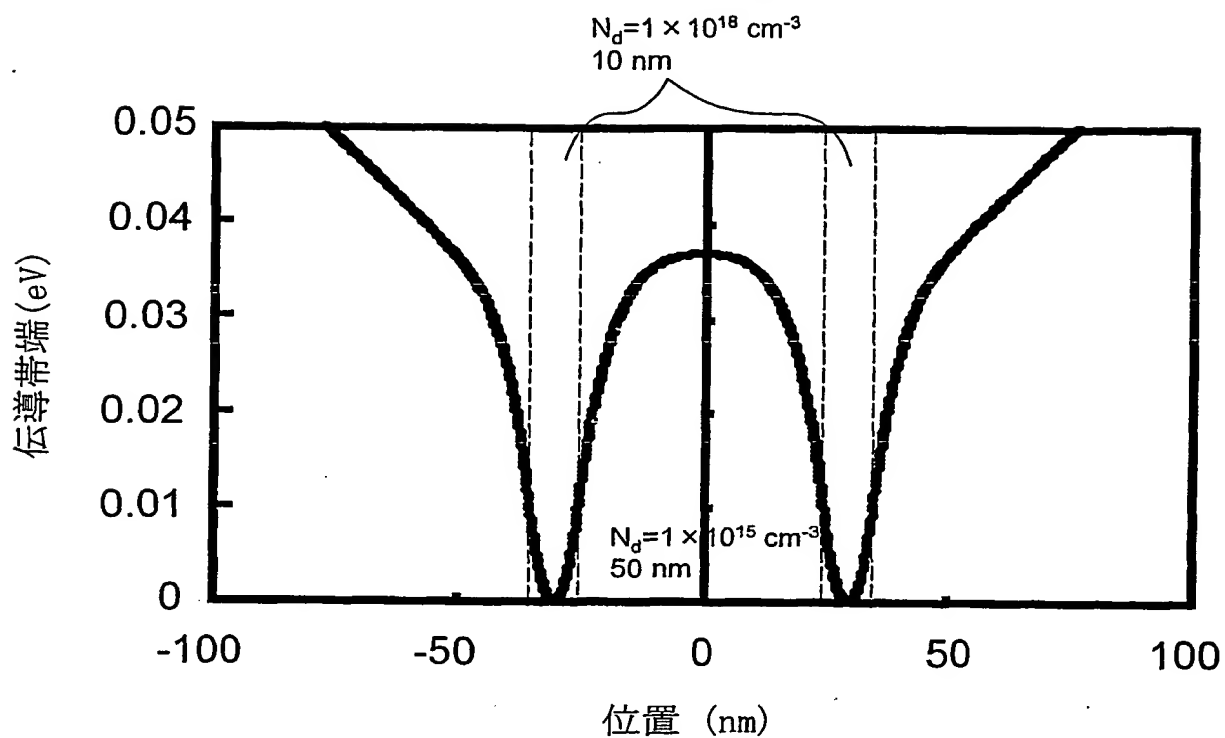
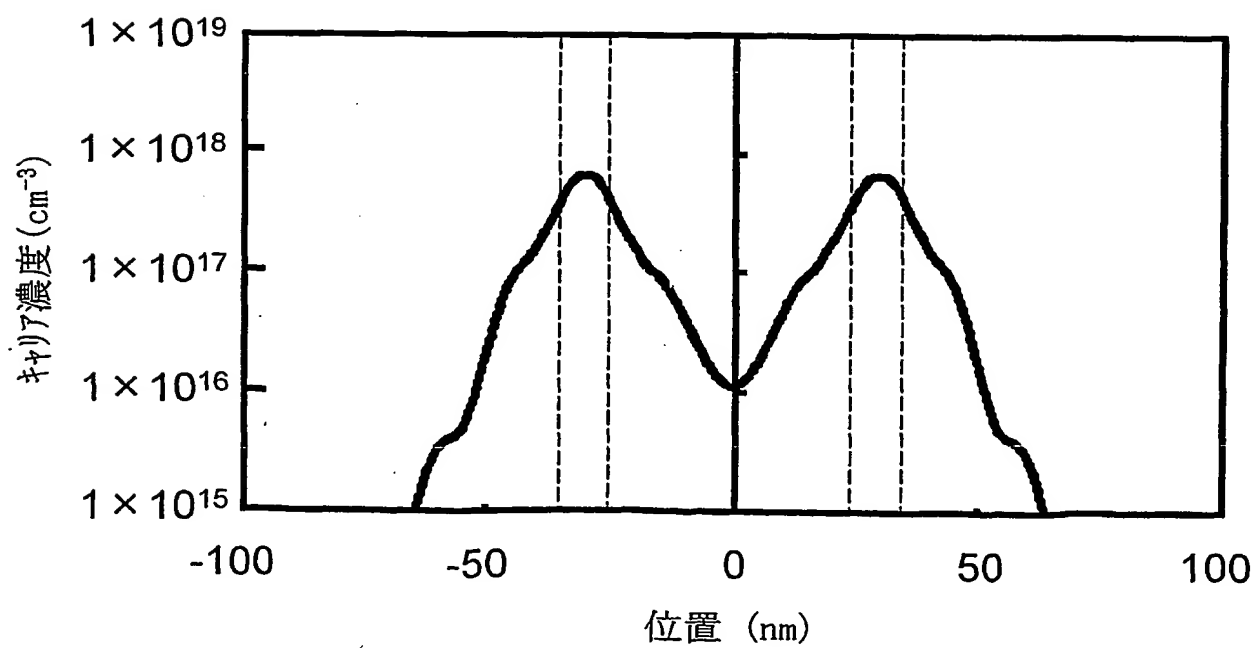


FIG. 19(b)



20/22

FIG. 20(a)

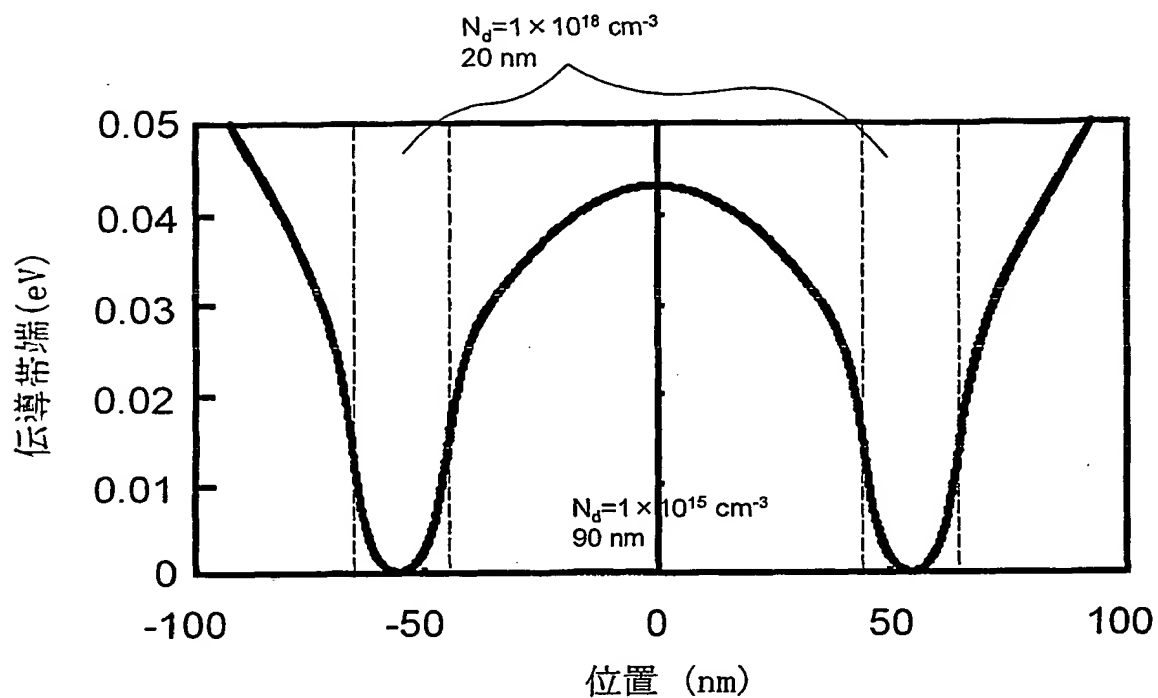


FIG. 20(b)

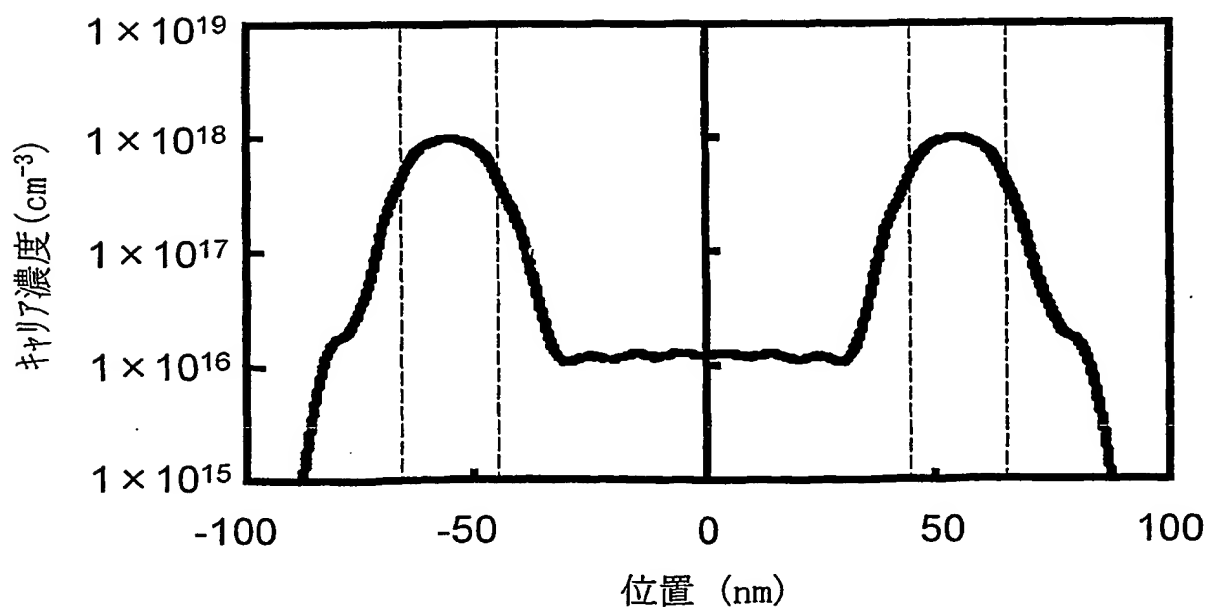
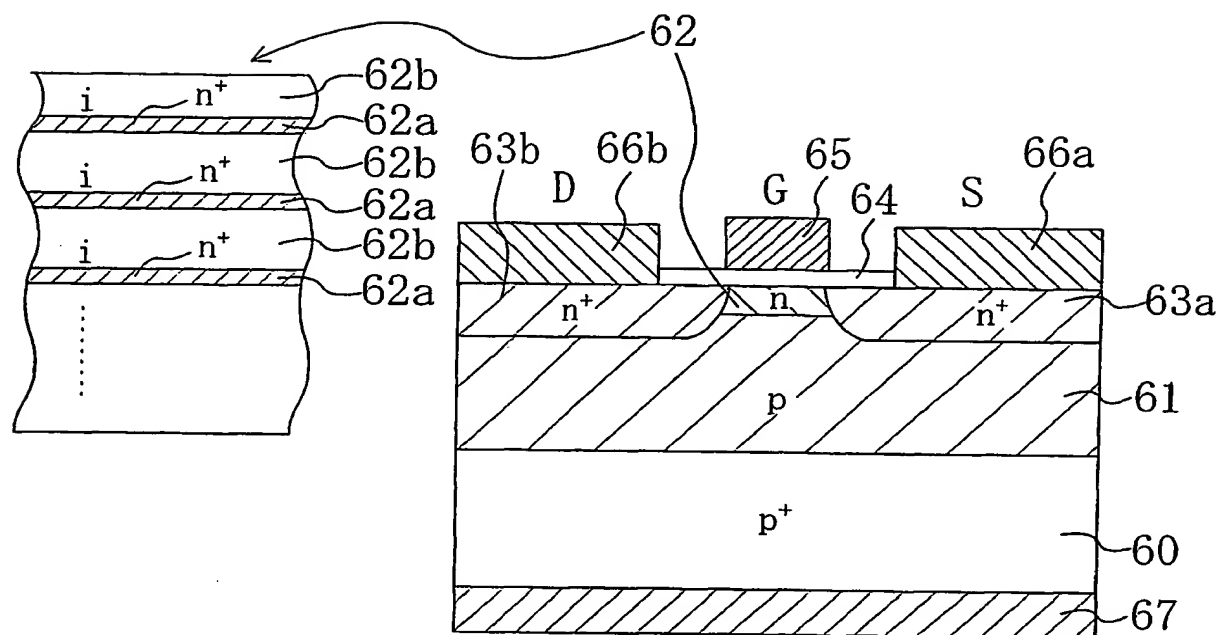


FIG. 21



22/22

FIG. 22

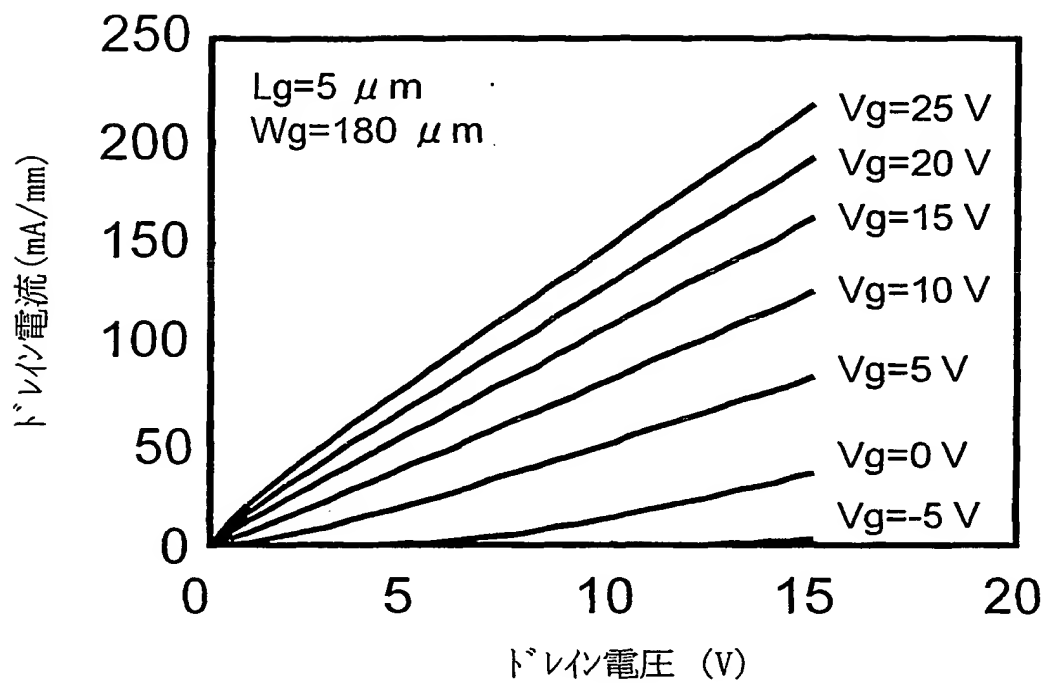
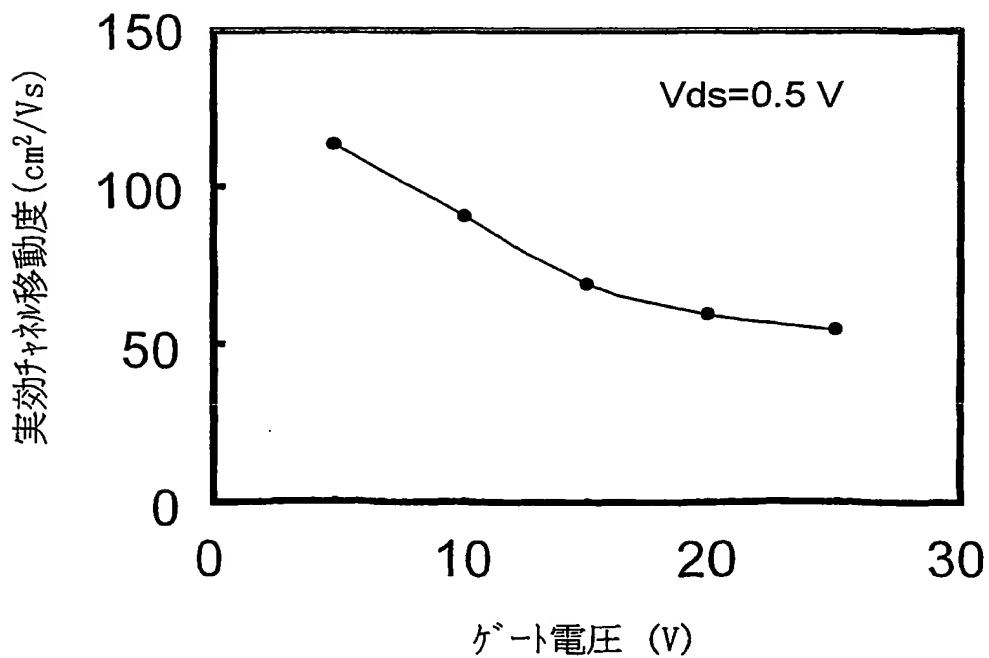


FIG. 23



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/08156

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl.⁷ H01L 29/78, H01L29/06

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L 29/78, H01L 21/336, H01L29/06, H01L29/66

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2001
Kokai Jitsuyo Shinan Koho 1971-2001 Jitsuyo Shinan Toroku Koho 1996-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

JICST: (δ+delta+modulation)*(dope+dope) (in English + in Japanese)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 2-71563, A (Sony Corporation),	1,3-6
Y	12 March, 1990 (12.03.90),	8,9
A	page 4, upper right column, line 17 to page 5, upper left column, line 6; page 5, upper right column, line 6 to page 5, lower left column, line 9 (Family: none)	2,7
X	JP, 7-263708, A (NEC Corporation),	1,3-6
Y	13 October, 1995 (13.10.95),	8,9
A	Claims 1, 5; Column 3, line 39 to Column 5, line 1 (Family: none)	2,7
Y	JP, 53-95571, A (Hitachi, Ltd.),	1,3-6,8,9
A	21 August, 1978 (21.08.78), page 3, upper left column, line 12 to page 3, upper right column, line 5 (Family: none)	2,7
A	US, 5977564, A (Kabushiki Kaisha Toshiba), Column 7, line 61 to Column 8, line 67; Column 13, line 29 to Column 16, line 35 & JP, 10-321854, A, Column 10, line 39 to Column 11, line 36, Column 17, line 33 to Column 20, line 40	1-9

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

<p>* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed</p>	<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family</p>
---	--

Date of the actual completion of the international search
13 February, 2001 (13.02.01)

Date of mailing of the international search report
20 February, 2001 (20.02.01)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/08156

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US, 3626328, A (International Business Machines Corporation), 07 December, 1971 (07.12.71), Column 3, line 6 to Column 5, line 3 & US, 3626257, A & JP, 48-6307, B & DE, 2008043, A & FR, 2049060, A & GB, 1282708, A	1-9
A	JP, 11-251592, A (Denso Corporation), 17 September, 1999 (17.09.99), Column 5, line 30 to Column 7, line 6 & SE, 9900008, A & DE, 19900171, A	1-9
A	APPLIED PHYSICS LETTERS, Vol.72, No.18 (MAY 1998) pp.2286-2288, see Full text	1-9

国際調査報告

国際出願番号 PCT/JPO0/08156

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L 29/78, H01L29/06

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L 29/78, H01L 21/336, H01L29/06, H01L29/66

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2001年
日本国登録実用新案公報	1994-2001年
日本国実用新案登録公報	1996-2001年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

JICST: (δ+デルタ+変調)*(dope+ドーブ)

C. 関連すると認められる文献

引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	J P, 2-71563, A (ソニー株式会社) 12. 3月. 1990 (12. 03. 90) 第4頁右上欄第17行-第5頁左上欄第6行、 第5頁右上欄第6行-第5頁左下欄第9行 (ファミリー無し)	1, 3-6 8, 9 2, 7
X Y A	J P, 7-263708, A (日本電気株式会社) 13. 10月. 1995 (13. 10. 95) 【請求項1】、【請求項5】、第3欄第39行-第5欄第1行 (ファミリー無し)	1, 3-6 8, 9 2, 7

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリ

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

13. 02. 01

国際調査報告の発送日

20.02.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

今井 拓也

4M 9169

電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 53-95571, A (株式会社日立製作所) 21. 8月. 1978 (21. 08. 78)	1, 3-6, 8, 9
A	第3頁左上欄第12行-第3頁右上欄第5行 (ファミリー無し)	2, 7
A	US, 5977564, A (Kabushiki Kaisha Toshiba) 第7欄第61行-第8欄第67行、第13欄第2 9行-第16欄第35行 &JP, 10-321854, A, 第10欄第39行-第11欄第36行、 第17欄第33行-第20欄第40行	1-9
A	US, 3626328, A (International Business Machines Corporation) 7. 12月. 1971 (07. 12. 71) 第3欄第6行-第5欄第3行 &US, 3626257, A &JP, 48- 6307, B &DE, 2008043, A &FR, 2049060, A &GB, 1282708, A	1-9
A	JP, 11-251592, A (株式会社デンソー) 17. 9月. 1999 (17. 09. 99) 第5欄第30行-第7欄第6行 &SE, 9900008, A &DE, 19900171, A	1-9
A	APPLIED PHYSICS LETTERS, Vol. 72, No. 18 (MAY 1998) p. 2286-2288, 全文参照	1-9